

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145288

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01L 21/768
H01L 21/304
H01L 21/3205

(21)Application number : 10-081415

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.03.1998

(72)Inventor : OHASHI TADASHI
YAMAGUCHI HIDE
NOGUCHI JUNJI
OWADA NOBUO

(30)Priority

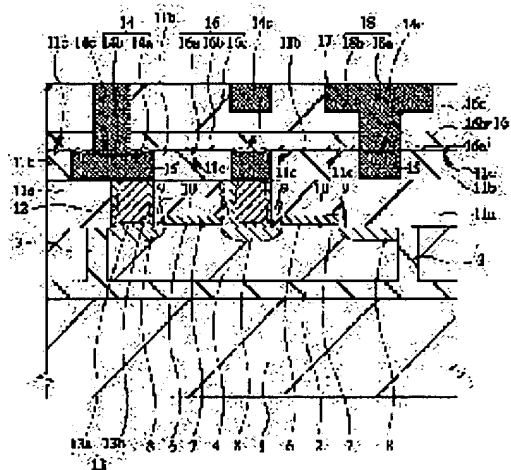
Priority number : 09242825 Priority date : 08.09.1997 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the yield and the reliability of a semiconductor integrated circuit device by preventing a short-circuit defect of a second metal interconnection formed on a first metal interconnection by CPM(chemical mechanical polishing).

SOLUTION: In a semiconductor integrated circuit device, wherein inter-layer insulating films 11a, 11b are formed in an upper part of a semiconductor substrate 1 in which an n-type MISFET Qn is formed, and an interconnection 14 which fills an interconnection recess 14 formed in the interlayer insulating film 11b is formed by depositing a metal film made of copper or the like and polishing it by CMP, an inter-layer insulating film 16 formed on the interconnection 14 and the inter-layer insulating film 11b is constituted of a blocking layer 16a, a planarized layer 16b, and an insulating film 16c. For the planarized layer 16b, a film having a self fluidity such as an SOG(spin-on-glass) film is used.



LEGAL STATUS

[Date of request for examination]

13.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145288

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶
H 0 1 L 21/768
21/304 3 2 1
21/3205

F I
H 0 1 L 21/90 D
21/304 3 2 1 S
21/88 K

審査請求 未請求 請求項の数24 O L (全 38 頁)

(21) 出願番号 特願平10-81415
(22) 出願日 平成10年(1998) 3月27日
(31) 優先権主張番号 特願平9-242825
(32) 優先日 平9(1997) 9月8日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 大橋 直史
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72) 発明者 山口 日出
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72) 発明者 野口 純司
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(74) 代理人 弁理士 筒井 大和

最終頁に続く

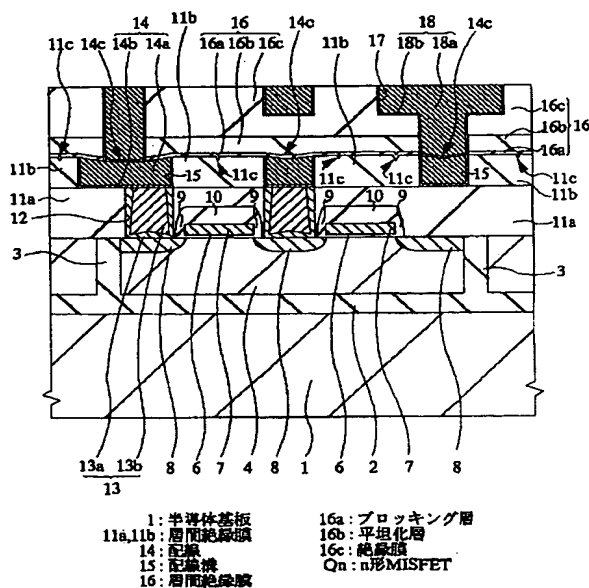
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 CMP法により形成された第1金属配線上の第2金属配線のショート不良を防止し、半導体集積回路装置の歩留まりおよび信頼性を向上する。

【解決手段】 n形MISFETQnが形成された半導体基板1の上層に層間絶縁膜11a、11bが形成され、層間絶縁膜11bに形成された配線溝15に埋め込まれた配線14が銅等の金属膜の堆積とCMP法による研磨によって形成された半導体集積回路装置において、配線14および層間絶縁膜11b上に形成された層間絶縁膜16をブロッキング層16a、平坦化層16bおよび絶縁膜16cで構成する。平坦化層16bとして自己流動性を有する被膜、たとえばSOG膜を用いる。

図 1



【特許請求の範囲】

【請求項1】 半導体基板の主面に形成された半導体素子と、前記半導体素子の上部に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、前記第1絶縁膜の上面に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、

前記第2絶縁膜には、自己流動性を有する流動性絶縁膜が含まれることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記流動性絶縁膜は、前記第2絶縁膜の表面を平坦化するように構成されることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、

前記第2絶縁膜の凹部は、配線溝を構成し、前記第2絶縁膜の導電性部材は、前記配線溝に形成された配線を構成し、前記流動性絶縁膜の上部に前記配線溝が形成されることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または2記載の半導体集積回路装置であって、

前記第2絶縁膜の凹部は、配線溝と接続孔とを構成し、前記第2絶縁膜の導電性部材は、前記配線溝に形成された配線と、前記接続孔に形成されたプラグとを構成し、前記流動性絶縁膜は、前記配線溝間に形成されることを特徴とする半導体集積回路装置。

【請求項5】 請求項1または2記載の半導体集積回路装置であって、

前記第2絶縁膜の凹部は、配線溝と接続孔とを構成し、前記第2絶縁膜の導電性部材は、前記配線溝に形成された配線と、前記接続孔に形成されたプラグとを構成し、前記流動性絶縁膜は、前記配線溝間に形成される第1流動性絶縁膜と、前記配線溝の下部に形成される第2流動性絶縁膜とを有することを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5の何れか一項に記載の半導体集積回路装置であって、

前記第2絶縁膜の凹部は、前記第2絶縁膜の表面近傍に形成された配線溝と前記配線溝の下部に形成された接続孔とからなり、前記導電性部材は、前記配線溝に形成された配線部と前記接続孔に形成された接続部とが一体として形成されたものであることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6の何れか一項に記載の半導体集積回路装置であって、

前記第2絶縁膜は、自己流動性を有さない非流動性絶縁膜、前記流動性絶縁膜および前記非流動性絶縁膜が積層された3層構造を有することを特徴とする半導体集積回

路装置。

【請求項8】 請求項1～7の何れか一項に記載の半導体集積回路装置であって、

前記流動性絶縁膜は、SOG膜であることを特徴とする半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置であって、

前記SOG膜は、無機SOG膜であることを特徴とする半導体集積回路装置。

【請求項10】 請求項1～7の何れか一項に記載の半導体集積回路装置であって、

前記流動性絶縁膜は、気相中におけるシラノールの生成と低温基板上での前記シラノールの反応とにより形成されるシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項11】 請求項1～10の何れか一項に記載の半導体集積回路装置であって、

前記凹部、配線溝または接続孔の幅 W はその最大幅 W_{max} と最小幅 W_{min} との範囲内にあり、 $W_{max} \leq 4 \times W_{min}$ 、の条件を満足することを特徴とする半導体集積回路装置。

【請求項12】 半導体基板の主面に形成された半導体素子と、前記半導体素子の上部に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、前記第1絶縁膜の上面に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、

前記第2絶縁膜には、研磨法により平坦化された絶縁膜が含まれていることを特徴とする半導体集積回路装置。

【請求項13】 請求項1～12の何れか一項に記載の半導体集積回路装置であって、

前記凹部または配線溝に形成された配線の上面には、前記配線を構成する金属元素の拡散を防止する拡散防止膜が形成されていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、

前記拡散防止膜はプラズマCVD法により形成されたシリコン窒化膜であることを特徴とする半導体集積回路装置。

【請求項15】 半導体集積回路装置の製造方法であって、(a)半導体基板上に形成された第1絶縁膜に凹部を形成する工程、(b)前記凹部の内部を含む前記第1絶縁膜の表面に、前記凹部を埋め込む第1導電性膜を形成する工程、(c)前記第1導電性膜を研磨して、前記第1絶縁膜の凹部に前記第1導電性膜を残すことにより前記第1導電性部材を形成する工程、(d)前記第1導電性部材の上部に自己流動性を有する流動性絶縁膜を含む第2絶縁膜を形成する工程、(e)前記第2絶縁膜

に凹部を形成する工程、(f)前記第2絶縁膜の凹部を埋め込む第2導電性膜を形成する工程、(g)前記第2導電性膜を研磨して、前記第2絶縁膜の凹部に第2導電性部材を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項15記載の半導体集積回路装置の製造方法であって、

前記流動性絶縁膜は、前記半導体基板にSOG膜を塗布し、熱処理することで形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項15記載の半導体集積回路装置の製造方法であって、

前記流動性絶縁膜は、前記半導体基板を減圧雰囲気下の反応室に100℃以下の低温で保持し、前記反応室内に $\text{SiH}_x\text{M}_{4-x}$ （ただしMは炭素数1～3のアルキル基、 $1 \leq x \leq 4$ ）および H_2O_2 を導入してシラノールを生成し、前記シラノールが堆積した前記半導体基板を熱処理することで形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項15～17の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記第1導電性部材が形成される前記凹部の幅Wは、その最大幅 W_{\max} がその最小幅 W_{\min} の4倍以内（ $W_{\min} \leq W \leq 4 \times W_{\min}$ ）となるように形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法であって、

前記(b)工程において前記第1絶縁膜の凹部に埋め込まれた前記導電性膜は、前記最小幅 W_{\min} における前記凹部でのその標高H1と、前記最大幅 W_{\max} における前記凹部でのその標高H2とがほぼ等しく（ $H1 \approx H2$ ）、かつ、前記標高H1およびH2は、前記第1絶縁膜の表面の標高L1よりも高い（ $H1 \approx H2 > L1$ ）ことを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項18または19記載の半導体集積回路装置の製造方法であって、

前記(c)工程において研磨された前記第1導電性部材は、前記最小幅 W_{\min} における前記凹部での前記第1導電性部材表面のディッシング量K1と、前記最大幅 W_{\max} における前記凹部での前記第1導電性部材表面のディッシング量K2とがほぼ等しい（ $K1 \approx K2$ ）ことを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項15～20の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記流動性絶縁膜の形成前にCVD法を用いたシリコン酸化膜を堆積し、その後前記流動性絶縁膜を形成し、さらにCVD法によりシリコン酸化膜を堆積することにより前記第2絶縁膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項15～21の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記第1導電性部材の形成後、前記第1導電性部材の表面を覆う拡散防止膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項22記載の半導体集積回路装置の製造方法であって、

前記拡散防止膜としてシリコン窒化膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 半導体基板の主面に形成された半導体素子と、前記半導体素子の上面に形成され、その一部に第1導電性部材が埋め込まれた第1絶縁膜と、前記第1絶縁膜の上面に形成され、その一部に第2導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置の製造方法であって、(a)半導体基板上に形成された第1絶縁膜に凹部を形成する工程、(b)前記凹部の内部を含む前記第1絶縁膜の表面に、前記凹部を埋め込む第1導電性膜を形成する工程、(c)前記第1導電性膜を研磨して、前記第1絶縁膜の前記凹部内にのみ前記第1導電性膜を残すことにより前記第1導電性部材を形成する工程、(d)前記第1導電性部材の上部に第2絶縁膜を形成し、前記第2絶縁膜を研磨して平坦化する工程、(e)前記第2絶縁膜に凹部を形成する工程、

(f)前記第2絶縁膜の凹部を埋め込む第2導電性膜を形成した後、前記第2導電性膜を研磨して、前記第2絶縁膜の凹部に内に前記第2導電性部材を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術および半導体集積回路装置に関し、特に、銅を主導電層とする配線であって、溝内への銅薄膜の堆積後、CMP（Chemical Mechanical Polishing）法により溝領域以外の銅薄膜を除去して形成された配線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、半導体集積回路における配線層の形成は、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p253～p292に記載されているように、絶縁膜上にアルミニウム（Al）合金またはタングステン（W）などの高融点金属薄膜を成膜した後、フォトリソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成していた。

【0003】しかし、このAl合金等を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体集積回路装置の性能

が低下する等の問題があった。特に高性能なロジックLSIにおいては、その性能阻害要因として大きな問題が生じている。

【0004】このため、最近では、1993 VMIC (VLSI Multilevel Interconnection Conference) 予稿集、p15～p21に記載されているように、絶縁膜に形成した溝上に銅(Cu)を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP法(化学機械研磨法)を用いて除去することにより溝内に配線パターンを形成する方法(いわゆるダマシン法)が検討されている。

【0005】また、特開平7-297183号公報には、半導体基板上に形成された絶縁層上に配線溝を形成し、さらに絶縁膜を形成した後に導電性配線層を形成し、配線溝を埋め込むようにSOG(Spin On Glass)からなる平坦化層を形成し、平坦化層および導電性配線層をポリッシングして導電性配線層からなる配線を配線溝に形成する技術が記載されている。

【0006】

【発明が解決しようとする課題】しかし、絶縁膜に形成した溝上に銅(Cu)等を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP法(化学機械研磨法)を用いて除去する従来の技術では以下のような問題を生ずる。この問題点を、図73を用いて説明する。図73は、本発明者らが検討した問題点を説明する図面であり、(a)は平面図、(b)は(a)におけるb-b断面図、(c)は(a)におけるc-c断面図である。なお、図73では、問題となる配線層についてのみ示し、その他の部材については省略している。

【0007】すなわち、絶縁膜201上に配線202を形成するためには、まず、絶縁膜201上に配線形成用の絶縁膜203を堆積し、この絶縁膜203に配線溝204を形成する。絶縁膜203には通常シリコン酸化膜が用いられる。次に、配線溝204を埋め込むように絶縁膜203上に配線202を構成する金属膜(たとえば銅(Cu))を堆積し、配線溝204以外の絶縁膜203上の金属膜をCMP法により研磨して除去する。これにより配線溝204内にはのみ金属膜が残留し、配線202が形成される。しかし、絶縁膜203であるシリコン酸化膜と配線202を構成する金属(たとえば銅)とでは、一般的に、銅の方がCMPの研磨速度が大きい。このため、配線202の表面部分に凹部205が発生する。この凹部205は、いわゆるディッシング(凹み)の一種として知られるものである。また、CMPによる研磨により絶縁膜203の表面にスクラッチ(傷)も発生する。

【0008】このような凹部205あるいはスクラッチが存在する状態でその上層に絶縁膜206を形成すると、絶縁膜206の表面にも凹部205あるいはスクラッチに起因する凹部が発生する。この凹部が存在した状

態で、絶縁膜206にプラグ207をCMP法により形成すると、絶縁膜206の表面の凹部にプラグ207を構成する導電物質208が残留することとなる。すなわち、プラグ207の形成は、絶縁膜206に開口した接続孔の内部にプラグ207を構成する金属膜を埋め込むとともに絶縁膜206上に金属膜を堆積し、この絶縁膜206上の金属膜のCMP法による除去により接続孔内にはのみ金属膜を残留して形成するが、絶縁膜206の表面に凹部(スクラッチに起因する凹部の含む)が存在すると、この凹部内にも金属膜の残留物である導電物質208が残留する。なお、スクラッチに起因する凹部にも金属膜が残留する可能性があるが、図面では省略している。

【0009】このような導電物質208の残留は、本来意図するものではなく好ましくない。すなわち、プラグ207上に絶縁膜209を形成し、この絶縁膜209の配線溝に配線210を形成すると、本来絶縁されるべき配線210間が導電物質208の存在により、電気的に短絡され、半導体集積回路装置のショート不良が発生することとなる。

【0010】なお、このようなショート不良は、プラグ207を用いず、いわゆるデュアルダマシン法で配線を形成する場合にも同様に発生する。

【0011】本発明の目的は、CMP法により形成された第1金属配線上の層間絶縁膜の表面平坦性を向上する技術を提供することにある。

【0012】また、本発明の他の目的は、CMP法により形成された第1金属配線上の第2金属配線のショート不良を抑制し、半導体集積回路装置の歩留まりおよび信頼性を向上することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】(1)本発明の半導体集積回路装置は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、第2絶縁膜には、自己流動性を有する流動性絶縁膜が含まれるものである。

【0016】このような半導体集積回路装置によれば、第1絶縁膜に埋め込まれた導電性部材がCMPによる研磨によりディッシング(凹み)を発生し、また、第1絶縁膜の表面がCMPによる研磨によりスクラッチ(傷)

を有するものであっても、第2絶縁膜には流動性絶縁膜が含まれるためその表面が平坦化され、前記ディッシングやスクラッチの影響は第2絶縁膜の表面には現れず、第2絶縁膜に埋め込む導電性部材のCMP法による形成が確実に行われる。すなわち、流動性絶縁膜を形成しない場合に発生するであろう第2絶縁膜の表面の凹部に、第2絶縁膜に埋め込まれる導電性部材の残留物が形成されず、前記残留物に起因する第2絶縁膜の導電性部材間のショート不良を防止することができる。この結果、半導体集積回路装置の歩留まりと信頼性を向上することができる。

【0017】また、第2絶縁膜の表面に凹部が存在する場合には、第2絶縁膜の導電性部材を形成するための被膜を過剰に研磨する必要が生じるが、本発明ではそのような第2絶縁膜の表面の凹部が形成されないため、過剰な研磨を必要としない。この結果、第2絶縁膜に埋め込まれた導電性部材のディッシングを防止して、さらに上部に形成される導電性部材の形成を上記と同様の理由により確実に形成してそのショート不良を防止することができる。

【0018】なお、第1または第2絶縁膜は、その凹部に配線が形成される配線形成用絶縁膜または配線層間絶縁膜を絶縁する配線層間絶縁膜とすることができ、凹部は、配線形成用絶縁膜に形成された配線溝または配線層間絶縁膜に形成された接続孔とすることができ、導電性部材は、配線溝に形成された配線または接続孔に形成されたプラグとすることができる。

【0019】また、流動性絶縁膜は、配線形成用絶縁膜の配線溝に形成された配線上に位置する配線層間絶縁膜にのみ含まれる構成、または、配線層間絶縁膜の接続孔に形成されたプラグ上に位置する配線形成用絶縁膜にのみ含まれる構成、あるいは、配線形成用絶縁膜の配線溝に形成された配線上に位置する配線層間絶縁膜および配線層間絶縁膜の接続孔に形成されたプラグ上に位置する配線形成用絶縁膜の双方に含まれる構成、の何れかの構成とすることができる。

【0020】また、凹部は、第1および第2絶縁膜の表面近傍に形成された配線溝および配線溝の下部に形成された接続孔からなり、導電性部材は、配線溝に形成された配線部と接続孔に形成された接続部とが一体として形成されたものとして形成することができる。すなわち、接続孔部分と配線溝部分とが一体として形成された凹部内に、一体的に形成された配線（いわゆるデュアルダマシン法による配線）にも適用できる。

【0021】また、流動性絶縁膜が含まれる第2絶縁膜、配線層間絶縁膜または配線形成用絶縁膜は、自己流動性を有さない非流動性絶縁膜、流動性絶縁膜および非流動性絶縁膜の3層構造を有するものであってもよい。

【0022】また流動性絶縁膜としては、SOG膜を用いることができる。SOG膜としては、有機SOG膜、

無機SOG膜、およびポリシラザン系のSOG膜を例示することができるが、特に無機SOG膜が好適である。仮に流動性絶縁膜として有機SOG膜を用いれば、それが含まれる第2絶縁膜、配線層間絶縁膜または配線形成用絶縁膜にフォトリソグラフィ技術を適用して加工を施し、フォトリソグラフィのマスクとなるフォトレジスト膜を酸素アッシングにより除去する際に有機SOG膜の収縮が発生したり、また吸水性が強くなったりして半導体集積回路装置の信頼性に好ましくない影響を生じる。しかし、流動性絶縁膜として無機SOG膜を用いれば、そのような不具合は生じない。

【0023】また、流動性絶縁膜としては、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることができる。

【0024】SOG膜は、大気雰囲気において塗布により形成する被膜であるが、減圧雰囲気においてたとえばシランガス（ SiH_4 ）と過酸化水素（ H_2O_2 ）との化合により形成されるシラノール（ $\text{H}_n\text{Si}(\text{OH})_{4-n}$ ）を基板表面に吸着させて被膜とする、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とによりシリコン酸化膜が形成される。このようなシリコン酸化膜も流動性絶縁膜として例示できる。ここではシラノール形成の原料ガスとしてシランガスを例示しているが、水素基（ $-\text{H}$ ）がメチル基（ $-\text{CH}_3$ ）、エチル基（ $-\text{C}_2\text{H}_5$ ）等のアルキル基に置換したメチルシラン（ジメチルシラン、トリメチルシラン等）、あるいはエチルシラン（ジエチルシラン、トリエチルシラン等）であってもよい。

【0025】また、凹部、配線溝または接続孔の幅 W はその最大幅 W_{max} と最小幅 W_{min} との範囲内にあり、 $W_{\text{max}} \leq 4 \times W_{\text{min}}$ 、の条件を満足するものとすることができる。

【0026】（2）本発明の半導体集積回路装置は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、第2絶縁膜には、CMP法により平坦化された絶縁膜が含まれているものである。

【0027】このような半導体集積回路装置によれば、（1）に記載したと同様にCMP法により平坦化された絶縁膜により第2絶縁膜の表面が平坦化され、第2絶縁膜に埋め込まれる導電性部材の形成が確実に行われ、そのショート不良を防止することができる。また、第2絶縁膜に埋め込まれる導電性部材の過剰な研磨を防止して、さらに上部に形成される導電性部材の形成を確実にしそのショート不良を防止することができ、この結

果、半導体集積回路装置の歩留まりと信頼性の向上を図ることができることは前記(1)と同様である。

【0028】なお、前記(1)、(2)に記載の半導体集積回路装置において、凹部または配線溝に形成された配線の上面には、配線を構成する金属元素の拡散を防止する拡散防止膜、たとえばプラズマCVD法により形成されたシリコン窒化膜が形成されてもよい。これにより、配線間の層間絶縁膜の絶縁耐圧を確保して半導体集積回路装置の信頼性を向上することができる。

【0029】(3)本発明の半導体集積回路装置の製造方法は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に第1導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に第2導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置の製造方法であって、(a)少なくとも半導体素子が形成された半導体基板上に第1絶縁膜を堆積し、その一部に凹部を形成する工程、(b)凹部の内部を含む第1絶縁膜の表面に、凹部を埋め込む導電性膜を形成する工程、(c)導電性膜をCMP法により研磨し、第1絶縁膜の凹部内にのみ導電性膜を残して第1導電性部材を形成する工程、(d)第1導電性部材の上部に自己流動性を有する流動性絶縁膜を堆積する工程、(e)流動性絶縁膜を含む第2絶縁膜に凹部を形成し、その凹部を埋め込む導電性膜を形成した後、その導電性膜をCMP法により研磨し第2導電性部材を形成する工程、を含むものである。

【0030】このような半導体集積回路装置の製造方法によれば、前記(1)に記載の半導体集積回路装置を製造することができる。

【0031】なお、流動性絶縁膜がSOG膜である場合は、半導体基板にSOG膜を塗布し、熱処理することにより形成することができる。

【0032】また、流動性絶縁膜が、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜である場合には、半導体基板を減圧雰囲気下の反応室に100℃以下の低温で保持し、反応室内に $\text{SiH}_x\text{M}_{4-x}$ （ただしMは炭素数1～3のアルキル基、 $1 \leq x \leq 4$ ）および H_2 、 O_2 を導入してシラノールを生成し、シラノールが堆積した半導体基板を熱処理することにより形成することができる。この場合、アルキル基(-M)の炭素数が多くなるほど蒸気圧が低下する。このため、反応室の壁面温度を高め、半導体基板の温度を最も低い温度とすることができる。これにより、低温に保持した半導体基板上へのアルキルシラン($\text{SiH}_x\text{M}_{4-x}$)の吸着が促進されてシラノール生成の反応が半導体基板の表面付近で生じる確率が高くなる。この結果、原料ガスの収率を高めることが可能となる。なお、原料ガスは気相で供給することが好ましいため、アルキル基の炭素数は3以下が好ましい。

【0033】また、第1導電性部材が形成される凹部の

幅Wは、その最大幅 W_{\max} がその最小幅 W_{\min} の4倍以内($W_{\min} \leq W \leq 4 \times W_{\min}$)となるように形成することができる。

【0034】また、前記(b)工程において第1絶縁膜の凹部に埋め込まれた導電性膜は、最小幅 W_{\min} における凹部でのその標高H1と、最大幅 W_{\max} における凹部でのその標高H2とがほぼ等しく($H1 \approx H2$)、かつ、標高H1およびH2は、第1絶縁膜の表面の標高L1よりも高い($H1 \approx H2 > L1$)ものとすることができる。

【0035】このような半導体集積回路装置の製造方法によれば、(b)工程で形成される第1導電性部材は、第1絶縁膜の凹部の全領域に埋め込まれ、第1導電性部材の表面自体が研磨され、平坦化されることとなる。この点で、本発明は、前記特開平7-297183号公報に記載された技術とは相違するものである。すなわち、前記公報に記載された技術においては、配線溝の幅の広い領域では導電性膜の表面高さが配線溝表面の標高よりも低く、そのため、SOG等の被膜により導電性膜を被覆した後にこれらをポリッシングして配線溝に配線を形成すると、配線表面の凹部にSOG膜が残留するものである。しかし、本発明では、第1導電性部材を形成するための研磨を実施した後にSOG等の流動性絶縁膜を堆積するものであり、前記公報に記載の製造方法とは、その工程の順序において相違するとともに、前記のとおり最小幅 W_{\min} における凹部でのその標高H1と、最大幅 W_{\max} における凹部でのその標高H2とがほぼ等しく($H1 \approx H2$)、かつ、標高H1およびH2は、第1絶縁膜の表面の標高L1よりも高い($H1 \approx H2 > L1$)ものであるため、第1導電性部材(つまり前記公報における配線)の形成工程自体が相違するものである。したがって、このような相違する製造方法によって形成された半導体集積回路装置自体、第1導電性部材の表面にCMPによる凹部(ディッシング)が生じたとしてもそこにSOG膜等の流動性絶縁膜が残留しない点で前記公報記載の技術により製造された半導体装置と相違する。

【0036】また、前記(c)工程において研磨された第1導電性部材は、最小幅 W_{\min} における凹部での第1導電性部材表面のディッシング量K1と、最大幅 W_{\max} における凹部での第1導電性部材表面のディッシング量K2とがほぼ等しい($K1 \approx K2$)。このような半導体集積回路装置の製造方法は、前記H1 \approx H2の条件から帰結される条件である。

【0037】また、流動性絶縁膜の堆積前にプラズマCVD法または熱CVD法を用いたCVDシリコン酸化膜を堆積し、その後流動性絶縁膜を堆積し、さらにCVD酸化膜を堆積することにより第2絶縁膜を形成することができる。

【0038】また、第1導電性部材の形成後、第1導電

性部材の表面を覆う拡散防止膜、たとえばシリコン窒化膜を堆積することができる。

【0039】このような半導体集積回路装置の製造方法によれば、第1導電性部材を構成するたとえば銅等の金属元素の拡散を防止して半導体集積回路装置の信頼性を向上できる。

【0040】(4)本発明の半導体集積回路装置の製造方法は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に第1導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に第2導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置の製造方法であって、(a)少なくとも半導体素子が形成された半導体基板上に第1絶縁膜を堆積し、その一部に凹部を形成する工程、(b)凹部の内部を含む第1絶縁膜の表面に、凹部を埋め込む導電性膜を形成する工程、(c)導電性膜をCMP法により研磨し、第1絶縁膜の凹部内にのみ導電性膜を残して第1導電性部材を形成する工程、(d)第1導電性部材の上部にシリコン酸化膜を堆積し、シリコン酸化膜をCMP法により研磨して平坦化する工程、(e)シリコン酸化膜を含む第2絶縁膜に凹部を形成し、その凹部を埋め込む導電性膜を形成した後、その導電性膜をCMP法により研磨し第2導電性部材を形成する工程、を含むものである。

【0041】このような半導体集積回路装置の製造方法によれば、前記(2)に記載した半導体集積回路装置を製造することができる。なお、第2絶縁膜に含まれるシリコン酸化膜はCMP法により平坦化されるため、自己流動性を有する必要はなく、プラズマCVD法、TEOS(テトラメトキシシラン)等を用いたCVD法等により形成されたものであってもよい。

【0042】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0043】(実施の形態1)図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【0044】本実施の形態1の半導体集積回路装置は、たとえば、SOI(Silicon On Insulator)絶縁層2およびU溝素子分離領域3を有する半導体基板1のpウェル4にnチャネルMISFET(Metal Insulator Semiconductor Field Effect Transistor)Qnが形成されたものである。SOI絶縁層2、U溝素子分離領域3は、たとえばシリコン酸化膜で構成される。

【0045】nチャネルMISFETQnは、半導体基板1の主面上にゲート絶縁膜6を介して形成されたゲート電極7と、ゲート電極7の両側の半導体基板1の主面に形成された不純物半導体領域8とを有するものであ

り、ゲート電極7の側面および上面にはサイドウォールスペーサ9およびキャップ絶縁膜10がそれぞれ形成されている。

【0046】ゲート絶縁膜6は、数nmの膜厚を有するシリコン酸化膜からなりたとえば熱CVD法または熱酸化法により形成することができる。

【0047】ゲート電極7は、たとえば低抵抗多結晶シリコン膜からなり、その上層にシリサイド層あるいはタングステン等の金属層を形成して低抵抗化を図ってもよい。

【0048】不純物半導体領域8は、nチャネルMISFETQnのソース・ドレイン領域として機能するものであり、たとえばリン(P)またはヒ素(As)等のn形不純物が高濃度に導入されている。

【0049】ゲート電極7および不純物半導体領域8の上部には、 WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などの高融点金属シリサイド膜を積層したシリサイド膜を形成してもよい。

【0050】サイドウォールスペーサ9およびキャップ絶縁膜10は、たとえばシリコン酸化膜あるいはシリコン窒化膜とすることができ、シリコン窒化膜を用いる場合には、そのシリコン窒化膜からなるサイドウォールスペーサ9およびキャップ絶縁膜10をマスクとして用い、後に説明する層間絶縁膜に自己整合的に接続孔を開くことができる。

【0051】半導体基板1およびnチャネルMISFETQnの上部には層間絶縁膜11aが形成されている。層間絶縁膜11aとして、BPSG(Boron-doped Phospho-Silicate Glass)膜またはPSG(Phospho-Silicate Glass)膜等のリフロー膜を用いることができるが、層間絶縁膜11aの下部もしくは上部にCVD法またはスパッタ法により形成されたシリコン酸化膜との積層膜とすることもできる。層間絶縁膜11aは、堆積された後、たとえばCMP法により研磨され、その表面が平坦化されている。

【0052】不純物半導体領域8上の層間絶縁膜11aには接続孔12が設けられ、接続孔12には、たとえばスパッタ法により形成されたタングステン膜13a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステンからなる金属プラグ13bが形成されている。

【0053】層間絶縁膜11aの上層には、層間絶縁膜11b(第1層間絶縁膜)が形成され、配線14が層間絶縁膜11bに形成された配線溝15内に形成されている。

【0054】層間絶縁膜11bは、たとえばCVD法またはスパッタ法で形成されたシリコン酸化膜で構成される。なお、層間絶縁膜11bの表面にはスクラッチ11c(傷)が形成されている。これは、後に説明するように、配線14の形成の際に行われるCMP法による研磨

において、確実に層間絶縁膜11bの表面の金属膜が除去されるようにある程度のオーバー研磨を行うために形成されるものであり、CMPの研磨剤による引っかかり傷である。

【0055】配線14は、主導電層14aと窒化チタン膜14bとからなる。主導電層14aは、たとえば銅で構成されるが、これに限られず、アルミニウムまたはタングステンあるいはこれらの合金であってもよい。これら低抵抗率の低い材料を主な導電層とすることにより配線14の微細化に伴う配線抵抗の上昇を抑制することができる。これにより半導体集積回路装置の高性能化を達成することができる。窒化チタン膜14bは、主導電層14aを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、たとえば、タンタル膜、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0056】配線14の上面にはディッシング14c(凹み)が形成されている。これは、配線14の形成が後に説明するようにCMP法による研磨により形成され、配線14を構成する金属材料と層間絶縁膜11bを構成するシリコン酸化膜とのCMPによる研磨速度に相違により発生するものである。すなわち、金属の方がシリコン酸化膜と比較してCMPの研磨速度が大きく、配線14を確実に形成するためにある程度のオーバー研磨を行った場合には、シリコン酸化膜と比較して金属が速く研磨され、相対的に凹んだ表面を形成することとなる。

【0057】配線14および層間絶縁膜11bの上面には層間絶縁膜16が形成されている。層間絶縁膜16は、配線14および層間絶縁膜11bに接して形成されたブロッキング層16a、平坦化層16bおよび絶縁膜16cから構成される。

【0058】ブロッキング層16aは、たとえばプラズマCVD法により形成されたシリコン窒化膜とすることができ、配線14の主導電層14aを構成する銅の拡散を抑制する機能を有する。これにより窒化チタン膜14bの効果とともに層間絶縁膜11a、11b、16への銅の拡散を防止してそれらの絶縁性を保持し、半導体集積回路装置の信頼性を高めることができる。なお、ブロッキング層16aの膜厚は、シリコン窒化膜を用いた場合には約100nmとすることができる。

【0059】平坦化層16bは、自己流動性を有する被膜たとえばSOG(Spin On Glass)膜からなり、スクラッチ11cおよびディッシング14cの影響を除去してその表面を平坦化することができる。このように平坦化層16bを有することにより層間絶縁膜16の表面の平坦性を確保することができ、後に説明するように層間絶縁膜16に埋め込む第2層配線の形成の際に金属膜の残留物の形成を防止して第2層配線のショート不良を防

止し、半導体集積回路装置の歩留まりと信頼性を向上することができる。

【0060】絶縁膜16cは、たとえばCVD法により形成されたシリコン酸化膜とすることができ、層間絶縁膜16の膜厚を確保する機能を有する。したがって、平坦化層16bにより層間絶縁膜16の十分な膜厚が確保できる場合には必須ではない。

【0061】層間絶縁膜16には配線溝17が形成され、配線溝17内には第2金属配線である配線18が形成されている。なお、配線溝17の一部は、その下部に形成されている配線14に接続するための接続孔も含まれる。すなわち、配線溝と接続孔とを形成し、その配線溝および接続孔内を含む基板に金属膜を堆積して、たとえばCMP法により配線溝以外の領域の金属膜を除去して接続配線および配線を一体的に形成するいわゆるデュアルダマシン法で形成されている。

【0062】配線18は配線14と同様に、主導電層18aと窒化チタン膜18bとからなる。主導電層18aは、たとえば銅を例示することができるが、アルミニウム、タングステンまたはそれらの合金であってもよい。これら低抵抗率の低い材料を主な導電層とすることにより配線18の微細化に伴う配線抵抗の上昇を抑制することができる。これにより半導体集積回路装置の高性能化を達成することができる。窒化チタン膜18bは、主導電層18aを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、たとえば、タンタル膜、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0063】なお、配線18は後に説明するようにCMP法を用いた研磨により層間絶縁膜16上に形成された金属膜を除去して形成されるが、層間絶縁膜16の表面の平坦性は前記したとおり確保されているため、その表面には配線溝17以外の凹部は存在せず、よって配線18以外の金属膜の残留物が形成されない。このため、金属残留物に起因する配線18のショート不良は発生せず、半導体集積回路装置の歩留まりと信頼性の向上を図ることができる。また、層間絶縁膜16の表面が十分に平坦であるため、配線18を形成するためのCMPによる研磨において、過剰なオーバー研磨は必要でない。この結果、配線18のディッシングを抑制してさらに多層な配線(第3金属配線等)を形成した場合の上層配線のショート不良を防止し、半導体集積回路装置の歩留まりと信頼性を向上できる。

【0064】配線18上に層間絶縁膜16および配線18同様の層間絶縁膜および配線を形成してさらに多層に構成してもよい。この場合、平坦化層16bと同様の平坦化層を設けて上層配線の加工を確実に行うことができることは配線18の場合と同様である。

【0065】次に、上記した半導体集積回路装置の製造

方法を図に従って説明する。図2～図15は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0066】まず、高濃度酸素注入法等により形成されたSOI絶縁層2を有するp⁻形の単結晶シリコンからなる半導体基板1を用意し、p形の導電形にするための不純物、たとえばボロンをイオン注入等によりドーピングしてpウェル4を形成する。pウェル4は、高濃度酸素注入法におけるエピタキシャル成長時に不純物ガスを混入し、ドーピングを行ってもよい。

【0067】次に、半導体基板1の主面に、SOI絶縁層2に達するU溝を形成し、その後たとえばシリコン酸化膜を堆積した後CMP法等を用いて余分なシリコン酸化膜を除去して、前記U溝にシリコン酸化膜を埋め込み、U溝素子分離領域3を形成する(図2)。

【0068】次に、半導体基板1の主面上にゲート絶縁膜6となるシリコン酸化膜、ゲート電極7となる多結晶シリコン膜およびキャップ絶縁膜10となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたレジストをマスクとして前記積層膜をエッチングし、ゲート絶縁膜6、ゲート電極7およびキャップ絶縁膜10を形成する(図3)。ゲート絶縁膜6はたとえば熱CVD法により堆積することができ、ゲート電極7はCVD法により形成することができるが、その抵抗値を低減するためにn形の不純物(例えばP)をドーピングしてもよい。なお、ゲート電極7の上部にWSi_x、MoSi_x、TiSi_x、TaSi_xなどの高融点金属シリサイド膜を積層してもよい。キャップ絶縁膜10はたとえばCVD法により堆積することができる。

【0069】次に、半導体基板1上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極7の側壁にサイドウォールスペーサ9を形成し、n形不純物(リン)をイオン注入してゲート電極7の両側のpウェル4にnチャネルMISFETQnのソース、ドレイン領域を構成する不純物半導体領域8を形成する(図4)。なお、サイドウォールスペーサ9の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ9の形成後に高濃度の不純物半導体領域を形成してもよい。

【0070】次に、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積した後、たとえば酸化シリコン膜をCMP法で研磨することにより、その表面が平坦化された層間絶縁膜11aを形成する。さらに、半導体基板1の主面の不純物半導体領域8上の層間絶縁膜11aに、公知のフォトリソグラフィ技術を用いて接続孔12を開孔する(図5)。

【0071】次に、スパッタ法によりタングステン膜13aを堆積し、さらにブランケットCVD法によりタン

グステン膜13cを堆積する(図6)。

【0072】次に、接続孔12以外の層間絶縁膜11a上のタングステン膜13cおよびタングステン膜13aをたとえばエッチバック法により除去し、金属プラグ13bを形成する(図7)。

【0073】次に、スパッタ法またはCVD法で酸化シリコン膜を堆積して層間絶縁膜11bを形成し、さらに公知のフォトリソグラフィ技術およびエッチング技術を用いて加工し、配線溝15を形成する(図8)。なお、ここでは、スパッタ法またはCVD法で形成されたシリコン酸化膜を例示しているが、SOG等の塗布膜、有機膜、フッ素を添加したCVDシリコン酸化膜、シリコン窒化膜、その他複数種の絶縁膜を積層した多層膜であってもよい。また、配線溝15は後に配線材料を埋め込んで配線14としたい領域に形成される。なお、本実施の形態1では、金属プラグ13を形成した後に配線溝15を形成しているが、接続孔12を開孔した後に配線溝15を形成し、その後金属プラグ13を形成してもよい。

【0074】次に、半導体基板1の全面に配線14の窒化チタン膜14bとなる窒化チタン膜14bを堆積する(図9)。窒化チタン膜14bは、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化チタン膜14bの堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、本実施の形態1では窒化チタン膜を例示するが、タンタル等の金属膜あるいは窒化タンタル膜等であってもよい。また、次工程である主導電層14aの堆積直前に窒化チタン膜14bの表面をスパッタエッチすることも可能である。このようなスパッタエッチにより、窒化チタン膜14bの表面に吸着した水、酸素分子等を除去し、主導電層14aの接着性を改善することができる。特に、窒化チタン膜14bの堆積後、真空破壊して表面を大気に曝し、その主導電層14aを堆積する場合に効果が大きい。

【0075】次に主導電層14aとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝15に良好に埋め込まれた金属膜19を形成する(図10)。銅膜の堆積は、通常のスパッタ法を用いることができるが、蒸着法等の物理的気相成長法を用いてもよい。また、熱処理の条件は、金属膜19を構成する銅が流動化する温度および時間を必要とし、たとえば、350℃～400℃、3分～5分を例示することができる。

【0076】次に、層間絶縁膜11b上の余分な窒化チタン膜14bおよび金属膜19を除去し、配線14を構成する主導電層14aおよび窒化チタン膜14bを形成する(図11)。窒化チタン膜14bおよび金属膜19の除去は、CMP法を用いた研磨により行う。配線14の形成にCMP法を用いるため、配線14の表面は層間絶縁膜11bの表面に比較して凹んだ状態であるディッシング14cが形成され、また、層間絶縁膜11bの表

面には、CMPの研磨剤等による引っかかり傷であるスクラッチ11cが形成される。

【0077】次に、配線14および層間絶縁膜11b上にシリコン窒化膜を堆積してブロッキング層16aを形成する(図12)。シリコン窒化膜の堆積には、たとえばプラズマCVD法を用いることができる。膜厚は約100nmとする。

【0078】次に、自己流動性を有した被膜であるSOG膜を塗布し、さらに400℃程度の熱処理を行ってキュアし、その表面が平坦化された平坦化層16bを形成する(図13)。SOG膜として、有機あるいは無機のSOG膜を用いることができる。また、ポリシラザン系のSOG膜を用いることも可能である。ポリシラザン系のSOG膜の場合には、耐熱性を有し、半導体集積回路装置の信頼性を向上することができる。

【0079】次に、絶縁膜16cを堆積して層間絶縁膜16を完成する。絶縁膜16cは、たとえばCVD法によるシリコン酸化膜とすることができる。絶縁膜16cの表面すなわち層間絶縁膜16の表面は、平坦化層16bの存在により平坦性が確保されている。その後、配線溝17を形成する(図14)。配線溝17には下層配線である配線14と接続するための接続孔も含まれている。

【0080】次に、配線14の場合と同様に、配線18の一部となる窒化チタン膜18bを堆積し、さらに主導電層18aとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝17に良好に埋め込まれた金属膜20を形成する(図15)。窒化チタン膜18bおよび金属膜20については、前記した窒化チタン膜14bおよび金属膜19と同様であるため説明を省略する。

【0081】最後に、層間絶縁膜16上の金属膜20および窒化チタン膜18bを除去して配線18を形成し、図1に示す半導体集積回路装置がほぼ完成する。この金属膜20および窒化チタン膜18bの除去にはCMP法が使用される。本実施の形態では、層間絶縁膜16の表面の平坦性が確保されているため、配線18の形成のためにCMPを行っても、層間絶縁膜16の表面には意図しない凹部が存在しないため、意図しない金属膜20あるいは窒化チタン膜18bの残留物が生じることがない。このため、このような残留物に起因する配線18のショート不良の発生が防止され、半導体集積回路装置の歩留まりと信頼性の向上を図ることができる。

【0082】また、層間絶縁膜16の表面の平坦性が確保されているため、過剰なCMPのオーバー研磨を行わなくとも配線18の形成を確実に行うことができ、過剰研磨を防止することができる。このため、配線18表面のディッシングを抑制してその上層に形成される配線のショート不良を防止し、半導体集積回路装置の歩留まりと信頼性を向上できる。

【0083】なお、本実施の形態1では、平坦化層16bとして、SOG膜を例示したが、気相中におけるシラノール($\text{H}_n\text{Si}(\text{OH})_{4-n}$)の生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることもできる。このようなシリコン酸化膜は、減圧雰囲気においてたとえばシランガス(SiH_4)と過酸化水素(H_2O_2)との化合によりシラノールを形成し、これを基板表面に吸着、反応させて被膜とした後、450℃以下の熱処理を行ってキュアすることにより形成することができる。このようなシラノールの吸着、反応により堆積した被膜は自己流動性を有するものであり、前記したSOG膜と同様に、層間絶縁膜16の表面の平坦性を確保することができる。

【0084】なお、シラノール形成の原料ガスとして、シランガス以外に、水素基(-H)がメチル基(-CH₃)、エチル基(-C₂H₅)等のアルキル基に置換したメチルシラン(ジメチルシラン、トリメチルシラン等)、あるいはエチルシラン(ジエチルシラン、トリエチルシラン等)等のアルキルシラン($\text{SiH}_x\text{M}_{4-x}$ 、ただしMは炭素数1~3のアルキル基、 $1 \leq x \leq 4$)を例示できる。アルキル基の炭素数を3以下とするのは、低温に保持した半導体基板上へのアルキルシラン($\text{SiH}_x\text{M}_{4-x}$)の吸着が増大することによるシラノール生成反応の促進と原料ガスを気相で供給することの利便性とを考慮するためである。

【0085】(実施の形態2)図16は、本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0086】本実施の形態2の半導体集積回路装置は、実施の形態1における半導体集積回路装置の層間絶縁膜16を層間絶縁膜21に置き換えたものであり、その他の部材は実施の形態1と同様である。したがってそれら同様の部材についての説明は省略する。

【0087】層間絶縁膜21は、実施の形態1におけるブロッキング層16aと同様なブロッキング層21aおよびCVD法により堆積されCMP法により平坦化されたシリコン酸化膜21bとからなる。ブロッキング層21aは、実施の形態1のブロッキング層16aと同様に約100nmの膜厚を有するシリコン窒化膜からなる。シリコン酸化膜21bはそれ自体十分な膜厚を有するものであるため実施の形態1の層間絶縁膜16のように絶縁膜16cは形成されていない。しかし、シリコン酸化膜21bの膜厚を薄くし、実施の形態1と同様に絶縁膜16cに相当する絶縁膜を形成して十分な膜厚の層間絶縁膜21を形成してもよい。

【0088】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図17~図20は、本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0089】本実施の形態2の半導体集積回路装置の製

造方法は、実施の形態1における図11の工程までは同様である。

【0090】その後、実施の形態1のブロッキング層16aと同様にシリコン窒化膜を堆積し、ブロッキング層21aを形成する。さらに十分な膜厚を有したシリコン酸化膜22をたとえばCVD法により形成する(図17)。ここで、CVD法により形成されたシリコン酸化膜22は、自己流動性を有する膜ではないためその表面にはディッシング14cおよびスクラッチ11cに起因する凹部23が形成されている。

【0091】次に、シリコン酸化膜22をCMP法により研磨する(図18)。これにより、シリコン酸化膜22の表面に形成された凹部23を消失させてシリコン酸化膜21bを形成し、その表面が平坦な層間絶縁膜21を形成する。また、本実施の形態2の製造方法では、CMP法を用いるため、凹部23を消失させることができることに加えて、半導体基板1の全体での平坦性を向上することができる。

【0092】次に、実施の形態1と同様に、層間絶縁膜21に配線溝17を形成し(図19)、実施の形態1と同様に窒化チタン膜18bおよび主導電層18aとなる金属膜20を形成する(図20)。

【0093】最後に、層間絶縁膜21上の金属膜20および窒化チタン膜18bを除去して配線18を形成し、図16に示す半導体集積回路装置がほぼ完成する。この金属膜20および窒化チタン膜18bの除去には、実施の形態1と同様にCMP法が使用される。本実施の形態では、層間絶縁膜21の表面の平坦性が確保されているため、配線18の形成のためにCMPを行っても、層間絶縁膜21の表面に意図しない金属膜20あるいは窒化チタン膜18bの残留物が生じることがない。このため、このような残留物に起因する配線18のショート不良の発生が防止され、半導体集積回路装置の歩留まりと信頼性の向上を図ることができる。

【0094】また、層間絶縁膜21の表面の平坦性が確保されているため、過剰なCMPのオーバー研磨を行わなくとも配線18の形成を確実に行うことができ、過剰研磨を防止することができる。このため、配線18表面のディッシングを抑制してその上層に形成される配線のショート不良を防止し、半導体集積回路装置の歩留まりと信頼性を向上できる。

【0095】(実施の形態3)図21は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0096】本実施の形態3の半導体集積回路装置は、半導体基板101上に形成されたnチャネルMISFETQnおよびpチャネルMISFETQpを有する。半導体素子であるnチャネルMISFETQnおよびpチャネルMISFETQpは、CMISFET(Complementary-MISFET)を構成して半導体集積回路を構成するこ

とができ、半導体集積回路には、図示はしないが、抵抗、コンデンサ等の受動素子を含めることができる。なお、本実施の形態ではCMISFETを例示するが、nチャネルMISFETQnまたはpチャネルMISFETQpの単一チャネルのMISFETで半導体集積回路を構成してもよい。さらに、本実施の形態ではMISFETを例示するが、バイポーラトランジスタまたはBi-CMISFET等他のトランジスタ構造の半導体素子を用いて半導体集積回路を構成してもよい。

【0097】半導体基板101には、その主面近傍に素子分離領域102が形成され、素子分離領域102で囲まれた活性領域には、p型の不純物(たとえばボロン(B))が低濃度に導入されたp型ウェル103およびn型の不純物(たとえばリン(P)、ヒ素(As))が低濃度に導入されたn型ウェル104が形成されている。nチャネルMISFETQnはp型ウェル103の活性領域主面に、pチャネルMISFETQpは、n型ウェル104の活性領域主面に形成されている。素子分離領域102は、半導体基板101の主面の浅溝内に形成され、たとえばシリコン酸化膜からなる。なお、半導体基板101を実施の形態1に説明したようなSOI基板としてもよいことは言うまでもない。

【0098】nチャネルMISFETQnは、p型ウェル103の主面上にゲート絶縁膜105を介して形成されたゲート電極106と、ゲート電極106の両側の半導体基板101の主面に形成されたn型の半導体領域107とを有するものである。また、pチャネルMISFETQpは、n型ウェル104の主面上にゲート絶縁膜105を介して形成されたゲート電極106と、ゲート電極106の両側の半導体基板101の主面に形成されたp型の半導体領域108とを有するものである。

【0099】ゲート絶縁膜105は、数nmの膜厚を有するシリコン酸化膜からなりたとえば熱酸化法または熱CVD法により形成することができる。ゲート電極106は、たとえば低抵抗多結晶シリコン膜からなり、その上層に、タングステン(W)、コバルト(Co)等のシリサイド層、あるいは窒化チタン(TiN)、窒化タングステン(WN)等のバリアメタルを介したタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成して低抵抗化を図ってもよい。

【0100】半導体領域107、108は、nチャネルMISFETQn、pチャネルMISFETQpのソース・ドレイン領域として機能するものである。半導体領域107にはn型不純物(たとえばリンまたはヒ素)が導入され、半導体領域108にはp型不純物(たとえばボロン)が導入されている。半導体領域107、108は、不純物が低濃度に導入された低濃度半導体領域と、不純物が高濃度に導入された高濃度半導体領域とからなるいわゆるLDD(Lightly Doped Drain)構造として

もよい。また、半導体領域107、108の上部に、 WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などの高融点金属シリサイド膜を積層したシリサイド膜を形成してもよい。

【0101】ゲート電極106の側面および上面にはサイドウォールスペーサ109およびキャップ絶縁膜110がそれぞれ形成されている。サイドウォールスペーサ109およびキャップ絶縁膜110は、たとえばシリコン酸化膜あるいはシリコン窒化膜とすることができ、シリコン窒化膜を用いる場合には、そのシリコン窒化膜からなるサイドウォールスペーサ109およびキャップ絶縁膜110をマスクとして用い、後に説明する層間絶縁膜に自己整合的に接続孔を開口することができる。

【0102】半導体基板101、nチャネルMISFET Q_n およびpチャネルMISFET Q_p の上部には層間絶縁膜111が形成されている。層間絶縁膜111として、BPSG膜またはPSG膜等のリフロー膜を用いることができるが、層間絶縁膜111の下部もしくは上部にCVD法またはスパッタ法により形成されたシリコン酸化膜との積層膜とすることもできる。層間絶縁膜111は、たとえばCMP法によりその表面が平坦化されている。

【0103】半導体領域107、108上の層間絶縁膜111には、接続孔112が設けられ、接続孔112には、たとえばスパッタ法により形成されたタングステン膜113a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステン膜113bからなるプラグ113が形成されている。

【0104】層間絶縁膜111の上層には、第1層配線M1が形成されている。第1層配線M1には、たとえばフォトリソグラフィ技術でパターニングされたタングステン膜を用いることができる。第1層配線M1は、プラグ113を介して半導体領域107、108に電気的に接続される。なお、第1層配線M1にタングステン材料を用いるため、第1層配線M1を構成する元素の半導体基板への拡散の問題がなく、高い信頼性の半導体集積回路装置を構成できる。

【0105】第1層配線M1および層間絶縁膜111の上層には、第1層配線M1と後に説明する第2層配線M2との層間を絶縁する配線層間絶縁膜114が形成されている。配線層間絶縁膜114は、たとえばCVD法で形成されたシリコン酸化膜をCMP法により研磨することにより、その表面が平坦化されて構成される。配線層間絶縁膜114には、接続孔115が形成され、接続孔115には、たとえばスパッタ法により形成されたタングステン膜116a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステン膜116bからなるプラグ116が形成されている。なお、タングステン膜116bに代えて、スパッタ法またはCVD法で形成された窒化チタン膜を用いることが

できる。

【0106】配線層間絶縁膜114上には、第2層配線M2を形成するための配線形成用絶縁膜117が形成されている。配線形成用絶縁膜117は、たとえばCVD法で形成されたシリコン酸化膜とすることができる。なお、配線形成用絶縁膜117表面にはスクラッチによる傷が形成されるが、図示は省略している。これは、後に説明するように、第2層配線M2の形成の際に行われるCMP法による研磨において、確実に配線形成用絶縁膜117の表面の金属膜が除去されるようにある程度のオーバー研磨を行うために形成されるものであり、CMPの研磨剤による引っかかり傷である。

【0107】配線形成用絶縁膜117には、配線溝118が形成され、配線溝118には、第2層配線M2が形成されている。第2層配線M2は、たとえば窒化チタン(TiN)からなるバリア層119aと、たとえば銅(Cu)からなる主導電層119bとからなる。このように主導電層119bを抵抗率の小さな銅等の材料を用いるため、第2配線層M2の抵抗値を低減でき、半導体素子間の配線抵抗を低減して回路の遅延時間を短縮し、半導体集積回路装置の応答速度を向上して半導体集積回路装置の性能を向上できる。

【0108】なお、バリア層119aとしては、窒化チタンに代えてタンタル(Ta)、窒化タングステン(WN)、窒化タンタル(TaN)、酸化タンタル(TaO)、酸窒化シリコン($SiON$)を用いることができる。また、主導電層119bには、銅に代えてアルミニウム(Al)、タングステン(W)を用いることができる。バリア層119aは、主導電層119bを構成する金属元素の拡散を防止して、配線間の絶縁性を確保し、半導体集積回路装置の性能および信頼性を高く保つ機能を持つ。

【0109】また、第2層配線M2は、後に説明するように、CMP法を用いて形成されるものであるが、配線形成用絶縁膜117を構成する材料(たとえばシリコン酸化膜)と第2層配線M2を構成する材料(たとえば銅および窒化チタン)とのCMP法による研磨速度の相違に起因して、その表面に窪んだ形状の凹部(ディッシング部)120が形成されている。すなわち、第2層配線M2を確実に形成するためにある程度のオーバー研磨を行った場合には、シリコン酸化膜と比較して銅等が速く研磨され、相対的に凹んだ表面を形成することとなる。このような凹部120の存在と、これに起因する問題点は、前記したとおりである。

【0110】配線形成用絶縁膜117および第2層配線M2の表面には、配線層間絶縁膜121が形成されている。配線層間絶縁膜121は、第2層配線M2および配線形成用絶縁膜117に接して形成されたブロッキング層121a、平坦化層121bおよび絶縁膜121cから構成される。

【0111】ブロッキング層121aは、たとえばプラズマCVD法により形成されたシリコン窒化膜とすることができ、第2層配線M2の主導電層119bを構成する銅の拡散を抑制する機能を有する。これにより窒化チタンからなるバリア層119aの効果とともに銅の拡散を防止して配線層間絶縁膜114、配線形成用絶縁膜117、配線層間絶縁膜121等の絶縁性を保持し、半導体集積回路装置の信頼性を高めることができる。なお、ブロッキング層121aの膜厚は、シリコン窒化膜を用いた場合には約100nmとすることができる。また、ブロッキング層121aとしては、シリコン窒化膜に代えて、シリコン酸窒化膜を用いることもできる。

【0112】平坦化層121bは、自己流動性を有する被膜たとえばSOG膜からなり、凹部120の影響を除去してその表面を平坦化することができる。このように平坦化層121bを有することにより配線層間絶縁膜121の表面の平坦性を確保することができ、後に説明するように配線層間絶縁膜121に埋め込むプラグあるいは上層配線の形成の際に金属膜の残留物の形成を防止して上層配線間のショート不良を防止し、半導体集積回路装置の所定の性能を確保し、歩留まりと信頼性を向上することができる。

【0113】なお、平坦化層121bは、無機SOG膜とすることができる。これにより、後に説明する平坦化層121bへの接続孔の開口工程におけるフォトレジスト膜の剥離の際に、平坦化層121bへの吸水性の付与あるいは平坦化層121bの体積減少が発生せず、半導体集積回路装置の信頼性を向上できる。一方、平坦化層121bは、有機SOG膜とすることもできる。これにより、接続孔開口工程における前記不具合はあるものの、有機SOG膜の低誘電率を利用して、配線間の線間容量を低減し、半導体集積回路装置の高速化を図ってその性能を向上できる。

【0114】絶縁膜121cは、たとえばCVD法により形成されたシリコン酸化膜とすることができ、配線層間絶縁膜121の膜厚を確保する機能を有する。したがって、平坦化層121bにより配線層間絶縁膜121の十分な膜厚が確保できる場合には必須ではない。

【0115】なお、配線層間絶縁膜121には、ブロッキング層121aと平坦化層121bとの間に、さらにCVD法により形成されたシリコン酸化膜を形成することもできる。

【0116】配線層間絶縁膜121には、接続孔122が形成され、接続孔122には、前記したプラグ116と同様のプラグ123が形成されている。また、配線層間絶縁膜121およびプラグ123上には、前記した配線形成用絶縁膜117および第2層配線M2と同様の配線形成用絶縁膜124および第3層配線M3が形成されている。プラグ123、配線形成用絶縁膜124および第3層配線M3については、前記したプラグ116、配

線形成用絶縁膜117および第2層配線M2と同様であるため詳細な説明を省略する。すなわち、第3層配線M3は、第2層配線M2と同様にバリア層と銅からなる主導電層とで構成される。

【0117】また、第3層配線M3の表面には、第2層配線M2と同様な凹部125が形成されるが、配線層間絶縁膜126を構成する平坦化層126bが存在するため、配線層間絶縁膜126の表面は、凹部125に起因する凹凸が解消され、上層に形成されるプラグあるいは上層配線の形成の際に金属膜の残留物の形成を防止して上層配線間のショート不良を防止し、半導体集積回路装置の所定の性能を確保し、歩留まりと信頼性を向上することができる。平坦化層126bは、前記した平坦化層121bと同様に自己流動性を有する被膜たとえばSOG膜からなる。また、配線層間絶縁膜126を構成するその他の層、つまりブロッキング層126aおよび絶縁膜126cについても、前記したブロッキング層121aおよび絶縁膜121cと同様である。よって、これらの詳細な説明は省略する。なお、ブロッキング層126aと平坦化層126bとの間に、さらにCVD法により形成されたシリコン酸化膜を形成できることは、配線層間絶縁膜121の場合と同様である。

【0118】配線層間絶縁膜126には、接続孔127が形成され、接続孔127には、前記したプラグ116と同様のプラグ128が形成されている。また、配線層間絶縁膜126およびプラグ128上には、前記した配線形成用絶縁膜117および第2層配線M2と同様の配線形成用絶縁膜129および第4層配線M4が形成されている。すなわち、第4層配線M4は、第2層配線M2と同様にバリア層と銅からなる主導電層とで構成される。ただし、配線形成用絶縁膜129の膜厚および第4層配線M4の膜厚および幅は、配線形成用絶縁膜117および第2層配線M2のそれよりも大きくなっている。

【0119】また、第4層配線M4の表面には、第2層配線M2と同様な凹部130が形成されるが、配線層間絶縁膜131を構成する平坦化層131bが存在するため、配線層間絶縁膜131の表面は、凹部130に起因する凹凸が解消され、上層に形成されるプラグあるいは上層配線の形成の際に金属膜の残留物の形成を防止して上層配線間のショート不良を防止できる。これにより、半導体集積回路装置の所定の性能を確保し、歩留まりと信頼性を向上することができる。平坦化層131bは、前記した平坦化層121bと同様に自己流動性を有する被膜たとえばSOG膜からなる。また、配線層間絶縁膜131を構成するその他の層、つまりブロッキング層131aおよび絶縁膜131cについても、前記したブロッキング層121aおよび絶縁膜121cと同様である。よって、これらの詳細な説明は省略する。なお、配線層間絶縁膜131の膜厚は、配線層間絶縁膜121よりも厚くなっている。また、ブロッキング層131aと

平坦化層131bとの間に、さらにCVD法により形成されたシリコン酸化膜を形成できることは、配線層間絶縁膜121の場合と同様である。

【0120】配線層間絶縁膜131には、接続孔132が形成され、接続孔132には、前記したプラグ116と同様にタングステンからなるプラグ133が形成されている。ただし、プラグ133の径および高さは、配線層間絶縁膜131の膜厚が厚くなっているため、プラグ116のそれよりも大きくなっている。

【0121】また、配線層間絶縁膜131およびプラグ133上には、第5層配線M5が形成されている。第5層配線M5は、たとえばアルミニウムまたはアルミニウム合金からなり、フォトリソグラフィ技術およびエッチング技術を用いて形成される。

【0122】このようにアルミニウムまたはアルミニウム合金からなる第5層配線層M5と、銅からなる主導電層で構成される第4層配線M4とを、タングステンからなるバリア層を介して電氣的に接続によりアルミニウムと銅とが反応して抵抗が増大することを防止できる。

【0123】第5層配線M5は絶縁膜134で覆われている。絶縁膜134は、たとえばCVD法で形成されたシリコン酸化膜あるいはシリコン窒化膜もしくはそれらの積層膜とすることができる。絶縁膜134には、さらにPIQ等の保護膜を含めることができる。

【0124】絶縁膜134の一部には開口が形成され、この開口部に形成されたバンプ下地金属(BLM)135を介してバンプ136と第5層配線M5とが電氣的に接続されている。バンプ下地金属135は、たとえばニッケルと金との積層膜とすることができる。また、バンプ136は、金または半田とすることができる。なお、第5層配線M5の材料としては、銅を用いることもできるが、アルミニウムを用いることにより、バンプ下地金属135およびバンプ136との整合性をよくすることができる。

【0125】また、バンプ136ではなく、第5層配線M5でワイヤボンディング用のボンディングパッドを形成する場合、銅よりも酸化されにくいアルミニウム合金でボンディングパッドを形成することにより、信頼性を向上することができる。また、第5層配線M5のような上層の配線層では、配線間のピッチ等の配線ルールが第2～第4層配線M2～M4よりゆるくとれるので、銅よりも酸化等の問題の少ないアルミニウム膜で上層の配線を構成することで、信頼性を向上することができる。一方、第2～第4層配線M2～M4においては、その配線幅、配線ピッチを小さくして、高密度に配線を設けることができるとともに、アルミニウムより比抵抗の小さな銅を主導電膜として用いることにより、配線抵抗を小さくして、回路の動作速度を向上することができる。

【0126】なお、第1層配線M1ないし第5層配線M5の膜厚および幅、プラグ116、123、128、1

33の径および高さを例示すれば以下の通りである。たとえば、第1層配線M1の膜厚は0.2～0.3 μm 、最小幅は0.4 μm とすることができ、第2層配線M2および第3層配線M3の膜厚は0.5 μm 、その最小幅は0.5 μm 、第4層配線M4の膜厚は1 μm 、その最小幅は1 μm とすることができる。また、たとえば、プラグ116、123、128の径は0.5 μm 、その高さは1 μm とすることができ、プラグ133の径は1 μm 、その高さは2 μm とすることができる。

【0127】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図22～図54は、本実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0128】まず、たとえば、p-形の単結晶シリコンからなる半導体基板101を用意し、素子分離領域102が形成される領域の開口を有するフォトレジスト膜をパターンニングし、半導体基板101に浅溝を形成する。次に、フォトレジスト膜を除去し、前記浅溝を埋め込むシリコン酸化膜を半導体基板101の全面に堆積して、このシリコン酸化膜をCMP法により研磨する。これにより浅溝以外の領域の半導体基板101上の前記シリコン酸化膜を除去して浅溝内に素子分離領域102を形成する。

【0129】次に、p型ウェル103が形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして、p形の導電形にするための不純物、たとえばボロンをイオン注入する。前記フォトレジスト膜を除去した後、n型ウェル104が形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして、n形の導電形にするための不純物、たとえばリンをイオン注入する。さらに、前記フォトレジスト膜を除去した後、半導体基板101に熱処理を施して前記不純物を活性化し、p型ウェル103およびn型ウェル104を形成する(図22)。

【0130】次に、半導体基板101の主面上にゲート絶縁膜105となるシリコン酸化膜、ゲート電極106となる多結晶シリコン膜およびキャップ絶縁膜110となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたフォトレジスト膜をマスクとして前記積層膜をエッチングし、ゲート絶縁膜105、ゲート電極106およびキャップ絶縁膜110を形成する(図23)。ゲート絶縁膜105はたとえば熱CVD法により堆積することができ、ゲート電極106はCVD法により形成することができるが、その抵抗値を低減するためにn形の不純物(例えばP)をドーピングしてもよい。なお、ゲート電極106の上部に WSi_x 、 MoSi_x 、 TiSi_x 、 TaSi_x などの高融点金属シリサイド膜を積層してもよく、窒化チタン(TiN)、窒化タングステン(WN)等のバリア層を

介してタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成してもよい。キャップ絶縁膜110はたとえばCVD法により堆積することができる。

【0131】次に、nチャネルMISFETQnが形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜とキャップ絶縁膜110とをマスクとしてn型の導電型の不純物、たとえばリンをイオン注入し、半導体領域107をゲート電極106に対して自己整合的に形成する。前記フォトレジスト膜を除去した後、pチャネルMISFETQpが形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜とキャップ絶縁膜110とをマスクとしてp型の導電型の不純物、たとえばボロンをイオン注入し、半導体領域108をゲート電極106に対して自己整合的に形成する。さらに、半導体基板101上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極106の側壁にサイドウォールスペーサ109を形成する(図24)。なお、さらに、フォトレジスト膜、キャップ絶縁膜110およびサイドウォールスペーサ109をマスクとして半導体領域107または半導体領域108にその導電型に応じた不純物を高濃度にイオン注入し、いわゆるLDD構造の不純物半導体領域を形成してもよい。

【0132】また、この段階で、半導体領域107、108の表面に、タングステンまたはコバルトのシリサイド膜を形成し、半導体領域107、108のシート抵抗およびプラグ113との接触抵抗を低減するようにしてもよい。

【0133】次に、半導体基板101上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜111を形成する。層間絶縁膜111の表面は、CMP法を用いた研磨により平坦化することができる。さらに、半導体基板101の主面の半導体領域107、108上の層間絶縁膜111に、フォトリソグラフィ技術およびエッチング技術を用いて接続孔112を開口する(図25)。

【0134】次に、スパッタ法によりタングステン膜113aを堆積し、さらにブランケットCVD法によりタングステン膜113bを堆積する(図26)。

【0135】次に、接続孔112以外の層間絶縁膜111上のタングステン膜113bおよびタングステン膜113aをCMP法による研磨により除去し、プラグ113を形成する(図27)。このとき、プラグ113の表面には、層間絶縁膜111であるシリコン酸化膜とタングステン膜113bおよびタングステン膜113aとのCMP研磨の速度差に起因した凹部(ディッシング部)140が形成される。なお、CMP法に代えてエッチバック法を用いてもよい。

【0136】次に、半導体基板1の全面にタングステン膜を堆積し、このタングステン膜をフォトリソグラフィおよびエッチング技術によりパターンニングして第1層配線M1を形成する(図28)。なお、前工程で発生した凹部140の影響は、タングステン膜の表面にも発生するが、この凹部140に起因するタングステン膜の表面凹凸の存在は、第1層配線M1がパターンニングにより形成されるため、大きな影響は受けない。すなわち、第1層配線M1が凹部140に起因して残存することはない。

【0137】次に、スパッタ法またはCVD法で酸化シリコン膜を堆積して配線層間絶縁膜114を形成する。なお、ここでは、スパッタ法またはCVD法で形成されたシリコン酸化膜を例示しているが、SOG等の塗布膜、有機膜、フッ素を添加したCVDシリコン酸化膜、シリコン窒化膜、その他複数種の絶縁膜を積層した多層膜であってもよい。また、配線層間絶縁膜114の表面はCMP法により研磨して平坦化する。このように平坦化することにより、次に説明する接続孔115の加工の際のフォトリソグラフィを精度よく行うことができ、半導体集積回路装置の高集積化に対応することが容易になる。

【0138】次に、フォトリソグラフィ技術およびエッチング技術を用いて、第1層配線M1の表面に達する接続孔115を開口する。(図29)。

【0139】次に、接続孔115の内部を含む配線層間絶縁膜114の表面に、スパッタ法によりタングステン膜116aを堆積し、さらにブランケットCVD法によりタングステン膜116bを堆積する(図30)。

【0140】次に、接続孔115以外の配線層間絶縁膜114上のタングステン膜116bおよびタングステン膜116aをCMP法により研磨することで除去し、プラグ116を形成する(図31)。このとき、プラグ116の表面には、配線層間絶縁膜114であるシリコン酸化膜とタングステン膜116bおよびタングステン膜116aとのCMP研磨の速度差に起因した凹部141が形成される。なお、CMP法に代えてエッチバック法を用いてもよい。

【0141】次に、第2層配線M2をCMP法で形成するための配線形成用絶縁膜117を堆積する(図32)。配線形成用絶縁膜117は、たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、その膜厚は、第2層配線M2の膜厚である0.5 μ mあるいはそれよりも若干厚く形成する。配線形成用絶縁膜117の表面には、凹部141に起因する凹部が形成される。

【0142】次に、第2層配線M2が形成される領域に開口を有するフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして配線形成用絶縁膜117をエッチングし、配線形成用絶縁膜117に配線溝118を形

成する(図33)。なお、この段階で前記した凹部141に起因する配線形成用絶縁膜117の表面の凹部は除去され、その後の工程に影響することはない。また配線溝118の幅は、最小幅W1と最大幅W2との間の幅で形成されるが、最大幅W2は、最小幅W1の4倍以下である。

【0143】次に、配線溝118の内部を含む配線形成用絶縁膜117の表面にバリア層119aとなる窒化チタン膜142を堆積する(図34)。窒化チタン膜142は、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化チタン膜142の堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、窒化チタン膜に代えてタンタル等の金属膜あるいは窒化タンタル膜等であってもよい。また、次工程である銅膜の堆積直前に窒化チタン膜142の表面をスパッタエッチすることも可能である。このようなスパッタエッチにより、窒化チタン膜142の表面に吸着した水、酸素分子等を除去し、銅膜の接着性を改善することができる。

【0144】次に主導電層119bとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝118に良好に埋め込まれた銅膜143を形成する(図35)。

銅膜143の堆積は、通常のスパッタ法を用いることができるが、蒸着法等の物理的气相成長法を用いてもよい。また、有機金属ガス等を原料ガスに用いたCVD法等により堆積を行ってもよい。熱処理の条件は、銅膜143が流動化する温度および時間を必要とし、たとえば、350℃～400℃、3分～5分を例示することができる。なお、銅膜143は、電解メッキあるいは無電解メッキのメッキ法を用いて形成することもできる。

【0145】また、窒化チタン膜142および銅膜143の膜厚は、配線溝118が最小幅W1の領域で膜厚H1であり、配線溝118が最大幅W2の領域で膜厚H2である。このとき、膜厚H1と膜厚H2とは、ほぼ等しく、かつ、配線溝118の深さL1よりも大きくなっている。すなわち、銅膜143は、配線溝118が最小幅W1の領域および最大幅W2の領域の双方で配線溝118を完全に埋め込んでいる。これにより、第2層配線M2が配線溝118の断面内のほぼ全域に形成され、第2層配線M2の抵抗を低減できる。

【0146】次に、配線形成用絶縁膜117上の余分な銅膜143および窒化チタン膜142を除去し、第2層配線M2を構成する主導電層119bおよびバリア層119aを形成する(図36)。銅膜143および窒化チタン膜142の除去には、CMP法による研磨を用いる。第2層配線M2の形成にCMP法による研磨を用いるため、第2層配線M2の表面には配線形成用絶縁膜117の表面に比較して凹んだ状態であるディッシング120が形成される。図36の一点鎖線で囲まれた部分の

拡大図を図37に示す。図37に示すように、配線形成用絶縁膜117の表面には、CMPの研磨剤等による引っかき傷であるスクラッチ145が形成される。

【0147】また、配線溝118が最小幅W1の領域のディッシング120の部分のディッシング量K1と最大幅W2の領域のディッシング120の部分のディッシング量K2とは、ほぼ同量となっている。

【0148】次に、第2層配線M2および配線形成用絶縁膜117上にシリコン窒化膜を堆積してブロッキング層121aを形成する(図38)。シリコン窒化膜の堆積には、たとえばプラズマCVD法を用いることができる。膜厚は約100nmとする。シリコン窒化膜の膜厚が薄く、また、CVD法によるシリコン窒化膜は段差の被覆性に優れるため、この段階でのブロッキング層121aの表面は、図39に示すように、ディッシング120およびスクラッチ145に起因する凹凸が存在する。なお、図39は、図38の一点鎖線で囲まれた部分の拡大図を示す。

【0149】次に、自己流動性を有した被膜であるSOG膜を塗布し、さらに400℃程度の熱処理を行ってキュアし、平坦化層121bを形成する(図40)。SOG膜として、有機あるいは無機のSOG膜を用いることができる。また、ポリシラザン系のSOG膜を用いることも可能である。ポリシラザン系のSOG膜の場合には、耐熱性を有し、半導体集積回路装置の信頼性を向上することができる。図41は、図40の一点鎖線で囲まれた部分の拡大図を示す。図41に示すように、平坦化層121bとして自己流動性を有するSOG膜を用いるため、その表面は平坦化され、ディッシング120およびスクラッチ145の影響は排除される。

【0150】次に、絶縁膜121cを堆積して配線層間絶縁膜121を完成する(図42)。絶縁膜121cは、たとえばCVD法によるシリコン酸化膜とすることができる。絶縁膜121cの表面すなわち配線層間絶縁膜121の表面は、平坦化層121bの存在により平坦性が確保されている。これにより、その後の工程で形成されるプラグ123等の導電性部材の形成の際にディッシング120あるいはスクラッチ145に起因する導電性の残留物が形成されず、上層配線である第3層配線M3間の絶縁性が確保される。また、配線層間絶縁膜121の表面が平坦化されているため、フォトリソグラフィのマージンを向上し、半導体集積回路装置の微細化に対応することが可能となる。

【0151】次に、接続孔122が形成される領域に開口を有するフォトレジスト膜146をパターンニングし、このフォトレジスト膜146をマスクとして絶縁膜121cおよび平坦化層121bをエッチングする(図43)。このエッチングの際には、シリコン酸化膜のエッチング速度がシリコン窒化膜に比較して大きくなる条件でエッチングを行い、シリコン酸化膜からなるブロッキ

ング層121aをエッチングのストッパ膜として利用することができる。

【0152】次に、エッチングの条件をシリコン窒化膜のエッチング速度がシリコン酸化膜に比較して大きくなる条件に切り換え、さらにブロッキング層121aをエッチングして接続孔122の形成を完了する(図44)。このように、接続孔122のエッチングを2段階で行うことにより、ブロッキング層121aのエッチングの際のオーバーエッチングを十分に行っても、ブロッキング層121aの膜厚が薄いため、第2層配線M2が過剰にエッチングされることがない。このため、接続孔122の開口を確実に行うとともに、第2層配線M2へのダメージを最小限にすることができる。

【0153】また、フォトリソ膜146の除去の際には、通常酸素またはオゾンによるアッシング法が用いられるが、平坦化層121bの無機SOGを用いる場合には、このアッシングの際に、接続孔122の側面部分の平坦化層121bの断面に受ける損傷を抑制できる。すなわち、仮に平坦化層121bに有機SOGを用いれば、オゾンアッシングの際に有機SOG内のSi-CH₃結合が、Si-OHあるいはSi-O結合に変換され、その部分の吸湿性、あるいは膜収縮が発生する。この結果、半導体集積回路装置の信頼性の低下や歩留まりの低下が予測され好ましくない。したがって、有機SOGを採用する場合には、フォトリソ膜146のウェットプロセスによる剥離や、低圧酸素プラズマを用いた反応性イオンエッチング(RIE)等、アッシングに比較して習熟されていないプロセスを用いる必要が生じる。しかし平坦化層121bに無機SOGを用いる場合には、このような不具合は生じない。

【0154】なお、次工程のプラグ123の形成工程の進む直前に、たとえば水素雰囲気において350℃、5分程度のアニールを施し、接続孔122の底部の第2層配線M2の表面に還元処理を行うことができる。さらに、接続孔122の底部へのスパッタエッチングを行うこともできる。これにより、フォトリソ膜146の除去の際のアッシングあるいは大気雰囲気への放置により生じた接続孔122底部の酸化銅を除去して第2層配線M2とプラグ123との電気的接続の接続抵抗の低減あるいは接続信頼性の向上を図れる。

【0155】次に、前記したプラグ116の形成方法と同様にしてプラグ123を形成する(図45)。このプラグ123の形成に際してCMP法が用いられることは前記したとおりであるが、配線層間絶縁膜121の表面が平坦化されているため、導電性の残留物が配線層間絶縁膜121の表面に残存することがない。このため、プラグ123間の絶縁性および配線層間絶縁膜121上に形成される第3層配線M3間の絶縁性が確保される。なお、プラグ123の表面にはCMP法により研磨に起因して凹部147が形成される。

【0156】次に、配線層間絶縁膜121およびプラグ123の上面には、第3層配線M3を形成するための配線形成用絶縁膜124が形成される(図46)。配線形成用絶縁膜124は、配線形成用絶縁膜117と同様にして形成できる。また、配線形成用絶縁膜124の表面には凹部147に起因する凹部が形成される。

【0157】次に、前記した第2層配線M2の場合と同様にしてバリア層と銅膜とからなる第3層配線M3を形成する(図47)。この第3層配線M3の形成に際しては、凹部147に起因する配線形成用絶縁膜124表面の凹部は、それに起因する導電性残存物を形成しない。これは、第2層配線M2の場合と同様であり、第3層配線M3を形成するための浅溝の加工の際に、前記した凹部がエッチングされて除去されることに基づく。なお、第3層配線M3の表面にはCMP法の研磨に起因する凹部125が形成される。

【0158】次に、配線形成用絶縁膜124および第3層配線M3の表面に、第3層配線M3と第4層配線M4とを絶縁する配線層間絶縁膜126を構成するブロッキング層126aおよび平坦化層126bを形成する(図48)。ブロッキング層126aおよび平坦化層126bの形成は、ブロッキング層121aおよび平坦化層121bと同様に行うことができる。平坦化層121bを形成することにより、凹部125の影響を取り除いて、その表面を平坦にすることができる。

【0159】次に、配線層間絶縁膜126を構成する絶縁膜126cを堆積して配線層間絶縁膜126の形成を完了する。配線層間絶縁膜126の表面は平坦化層121bが存在するため平坦化されている。さらに、プラグ116と同様にしてプラグ128を形成する(図49)。このプラグ128の形成に際してCMP法が用いられることは前記したとおりであるが、配線層間絶縁膜126の表面が平坦化されているため、導電性の残留物が配線層間絶縁膜126の表面に残存することがない。このため、プラグ128間の絶縁性および配線層間絶縁膜126上に形成される第4層配線M4間の絶縁性が確保される。なお、プラグ128の表面にはCMP法により研磨に起因して凹部149が形成されるが、これに起因して次工程で導電性残留物を生じないことは前記第3層配線の場合と同様である。

【0160】次に、配線層間絶縁膜126およびプラグ128の上面には、第4層配線M4を形成するための配線形成用絶縁膜129が形成される。配線形成用絶縁膜129の形成は、配線形成用絶縁膜117と同様に行うことができるが、第4層配線M4の膜厚が厚くなることに伴い、配線形成用絶縁膜117よりも厚く、たとえば1μmの膜厚あるいはそれよりも若干厚い膜厚で形成される。その後、第2層配線M2あるいは第3層配線M3の場合と同様に、配線溝を形成し、窒化チタン膜150および銅膜151を堆積する(図50)。窒化チタン膜

150および銅膜151は、第2配線層M2あるいは第3層配線M3の場合と同様に形成できる。

【0161】次に、窒化チタン膜150および銅膜151をCMP法により研磨し、配線形成用絶縁膜129の上面の余分な窒化チタン膜150および銅膜151を除去する。これにより第4層配線M4を形成する(図51)。なお、第4層配線M4の表面にはCMP法の研磨に起因する凹部130が形成される。

【0162】次に、配線形成用絶縁膜129および第4層配線M4の表面に、第4層配線M4と第5層配線M5とを絶縁する配線層間絶縁膜131を構成するブロッキング層131aおよび平坦化層131bを形成する(図52)。ブロッキング層131aおよび平坦化層131bの形成は、ブロッキング層121aおよび平坦化層121bと同様に行うことができる。平坦化層131bを形成することにより、凹部130の影響を取り除いて、その表面を平坦にすることができる。

【0163】次に、配線層間絶縁膜131を構成する絶縁膜131cを堆積して配線層間絶縁膜131の形成を完了する。配線層間絶縁膜131の表面は平坦化層131bが存在するため平坦化されている。さらに、プラグ116と同様にしてプラグ133を形成する(図53)。

【0164】次に、配線層間絶縁膜131上に、たとえばアルミニウム膜を全面に堆積し、このアルミニウム膜をパターニングして第5層配線M5を形成する(図54)。アルミニウム膜の堆積には、スパッタ法、CVD法、蒸着法等を用いることができる。

【0165】次に、たとえばシリコン酸化膜を堆積して絶縁膜134を形成し、その後、第5層配線のバット上部の絶縁膜134に開口を形成する。さらに、全面にニッケル膜および金膜をスパッタ法、CVD法、蒸着法等を用いて堆積し、前記バット部以外のニッケル膜および金膜を除去してバンパ下地金属135を形成する。その後、金ボールの転写、あるいは金膜の堆積およびパターニングによりバンパ136を形成して図22に示す半導体集積回路装置がほぼ完成する。

【0166】なお、絶縁膜134は、シリコン酸化膜およびシリコン窒化膜の積層膜、あるいはさらにPIQ膜を形成したものであってもよい。また、バンパ136は、半田膜の形成およびパターニングによる半田ボールであってもよい。

【0167】本実施の形態3の半導体集積回路装置およびその製造方法によれば、前記したように、プラグ123、128、133が形成される配線層間絶縁膜121、126、131に平坦化層121b、126b、131bが形成されているため、プラグ123、128、133をCMP法で形成する際に、導電性の残留物が残存せず、プラグ123、128、133、および各プラグの上層に形成される第3～第5層配線M3～M5の絶

縁性が確保され、半導体集積回路装置の所定の性能を維持し、その信頼性、歩留まりの向上を図ることができる。

【0168】なお、本実施の形態3では、平坦化層121b、126b、131bとして、SOG膜を例示したが、気相中におけるシラノール($\text{H}_n\text{Si}(\text{O})_{4-n}$)の生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることもできる。このようなシリコン酸化膜の形成方法については実施の形態1で説明したとおりであり、ここでは説明を省略する。

【0169】(実施の形態4)図55は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0170】本実施の形態4の半導体集積回路装置は、実施の形態3の半導体集積回路装置と、配線形成用絶縁膜117、124、129の構成においてのみ相違するものである。そのため、その他の構成部材についての説明は省略する。

【0171】本実施の形態4の配線形成用絶縁膜117、124、129には、平坦化層117a、124a、129aが含まれ、平坦化層117a、124a、129aの各々の上層に形成された絶縁膜117b、124b、129bとで配線形成用絶縁膜117、124、129を各々構成する。このように、配線形成用絶縁膜117、124、129に平坦化層117a、124a、129aが各々含まれるため、配線形成用絶縁膜117、124、129の形成後の表面が、その下層に形成されたプラグ116、123、127のCMP法による形成の際に生じた凹部に起因して凹凸が発生することがない。このため、配線形成用絶縁膜117、124、129の各々に配線溝を形成する際のフォトリソグラフィを精度よく行うことができ、半導体集積回路装置の高集積化に対応できる。

【0172】平坦化層117a、124a、129aは、実施の形態3における平坦化層121b、126b、131bと同様であり、自己流動性を有するSOG膜からなる。SOG膜は有機SOG膜あるいは無機SOG膜の何れであってもよいが、無機SOG膜の場合には実施の形態3で説明したと同様な効果、つまり、配線形成用絶縁膜117、124、129に配線溝を形成する際に使用するフォトレジスト膜の除去工程にアッシングを用いた場合であっても、SOG膜に親水性あるいは収縮が生じることがない。一方、有機SOG膜を用いた場合には、低誘電率に起因した配線間の容量を低減できるという効果がある。また、平坦化層117a、124a、129aは、SOG膜に代えて、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることもできる。

【0173】絶縁膜117b、124b、129bは、

たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、配線形成用絶縁膜117、124、129の膜厚を調整する機能を有する。

【0174】次に、本実施の形態4の半導体集積回路装置の製造方法を図56～図64を用いて説明する。図56～図64は、実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0175】本実施の形態4の製造方法は、実施の形態3における図31までの工程と同様である。したがって、それまでの工程についての説明は省略する。

【0176】実施の形態3における図31に示すように、配線層間絶縁膜114にプラグ116を形成する。このプラグ116の表面には、図31に示すように、凹部141が形成される。

【0177】次に、配線層間絶縁膜114およびプラグ116上に平坦化層117aを形成し、さらに絶縁膜117bを堆積する。これにより、平坦化層117aおよび絶縁膜117bで構成される配線形成用絶縁膜117が形成される(図56)。平坦化層117aは、自己流動性を有するSOG膜である。このように自己流動性を有するSOG膜を形成するため、平坦化層117aの表面には凹部141の影響が現れず、その表面は平坦化される。また、絶縁膜117bは、たとえばCVD法によるシリコン酸化膜とすることができるが、平坦化層117aが存在するため、その表面は平坦化されている。

【0178】次に、配線形成用絶縁膜117上に、第2層配線M2が形成される領域に開口を有したフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして配線形成用絶縁膜117をエッチングし、配線溝118を形成する(図57)。この配線溝118の形成に際しては、配線形成用絶縁膜117の表面が完全に平坦化されているため、フォトリソグラフィ工程が高精度に行えることに加えて、プラグ116の上部に配線が形成されないような場合であっても、その上部の配線形成用絶縁膜117の表面に配線を形成するための金属膜が残留することがない。これにより半導体集積回路装置の信頼性を向上できる。

【0179】次に、実施の形態3の第2層配線M2の製造方法と同様に、第2層配線M2を形成し(図58)、さらに、実施の形態3の場合と同様に、配線層間絶縁膜121およびプラグ123を形成する(図59)。なお、プラグ123の表面には凹部147が形成される。

【0180】次に、配線層間絶縁膜121およびプラグ123上に平坦化層124aを形成し、さらに絶縁膜124bを堆積する。これにより、配線形成用絶縁膜124が形成される(図60)。平坦化層124aは、平坦化層117aと同様に、自己流動性を有するSOG膜であり、絶縁膜124bは、絶縁膜117bと同様に、たとえばCVD法によるシリコン酸化膜とすることができる。配線形成用絶縁膜124は、平坦化層124aが存

在するため、凹部147の影響を排除することができ、その表面は平坦化される。

【0181】次に、第2層配線M2の場合と同様に、配線形成用絶縁膜124に配線溝を形成し、この配線溝内に第3層配線M3を形成する(図61)。さらに、実施の形態3の場合と同様に、配線層間絶縁膜126およびプラグ128を形成する(図62)。

【0182】次に、配線層間絶縁膜126およびプラグ128上に平坦化層129aを形成し、さらに絶縁膜129bを堆積する。これにより、配線形成用絶縁膜129が形成される(図63)。平坦化層129aは、平坦化層117aと同様に、自己流動性を有するSOG膜であり、絶縁膜129bは、絶縁膜117bと同様に、たとえばCVD法によるシリコン酸化膜とすることができる。配線形成用絶縁膜129は、平坦化層129aが存在するため、前記同様にその表面は平坦化される。

【0183】次に、第2層配線M2あるいは第3層配線M3の場合と同様に、配線形成用絶縁膜129に配線溝を形成し、この配線溝内に第4層配線M4を形成する(図64)。この後の工程は実施の形態3と同様であるためその説明を省略する。

【0184】本実施の形態4の半導体集積回路装置およびその製造方法によれば、配線形成用絶縁膜117、124、129に、平坦化層117a、124a、129aが含まれるため、配線形成用絶縁膜117、124、129の表面を平坦化することができ、フォトリソグラフィの加工精度を向上できる。また、下層に形成されたプラグ等に凹部を有していても、この凹部に起因する配線形成用の導電性膜の残留が発生せず、半導体集積回路装置の信頼性を向上できる。

【0185】(実施の形態5)図65は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0186】本実施の形態5の半導体集積回路装置は、配線形成用絶縁膜117、124、129には、平坦化層117a、124a、129aが含まれ、平坦化層117a、124a、129aの各々の上層に形成された絶縁膜117b、124b、129bとで配線形成用絶縁膜117、124、129を各々構成するものであるが、配線層間絶縁膜121、126、131には平坦化層が含まれず、ブロッキング層121a、126a、131a、および、絶縁膜121c、126c、131cで配線層間絶縁膜121、126、131を各々構成するものである。

【0187】このような半導体集積回路装置によれば、実施の形態4で説明した効果が得られる一方、プラグ123、127、133の形成の際のCMP研磨をある程度過剰に行うことによって、導電性残留物の発生をある程度抑制することは可能である。

【0188】(実施の形態6)図66は、本発明のさら

に他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0189】本実施の形態6の半導体集積回路装置は、その第1層配線M1をCMP法で形成したものであり、また、第1配線M1と第2層配線M2との間の配線層間絶縁膜114に平坦化層114aを適用したものである。その他の構成は実施の形態3と同様であり、説明は省略する。

【0190】平坦化層114aは、自己流動性を有する流動性絶縁膜であり、たとえばSOG膜とすることができる。SOG膜は有機、無機何れであってもよく、また、SOG膜に代えて気相中におけるシラノールの生成と低温基板上でのシラノールの反応により形成されるシリコン酸化膜とすることもできる。配線層間絶縁膜114は、平坦化層114aと絶縁膜114bとで構成され、絶縁膜114bは、たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、配線層間絶縁膜114の膜厚を調整する機能を有する。

【0191】次に、本実施の形態6の半導体集積回路装置の製造方法を図67～図71を用いて説明する。図67～図71は、実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0192】本実施の形態6の製造方法は、実施の形態3における図27までの工程と同様である。したがって、それまでの工程についての説明は省略する。

【0193】実施の形態3の図27に示すプラグ113の形成後、第1層配線M1を形成するための配線形成用絶縁膜114cを堆積する(図67)。配線形成用絶縁膜114cは、たとえばCVD法により形成でき、シリコン酸化膜とすることができる。また、配線形成用絶縁膜114cの表面には凹部140に起因して凹部が形成されている。

【0194】次に、第1層配線M1が形成される領域に開口を有するフォトリソ膜をパターンニングし、このフォトリソ膜マスクとして配線形成用絶縁膜114cをエッチングする(図68)。

【0195】次に、半導体基板101の全面にタングステン膜152を堆積し(図69)、このタングステン膜152をCMP法により研磨する。タングステン膜152の研磨は配線形成用絶縁膜114cの表面が露出するまで行う。これにより、配線形成用絶縁膜114cの表面の余分なタングステン膜152を除去して第1層配線M1を形成する(図70)。なお、第1層配線M1の表面には、第1層配線M1を構成するタングステンと配線形成用絶縁膜114cを構成するシリコン酸化膜とのCMPの研磨速度に起因して凹部(ディッシング)153が形成される。

【0196】次に、配線形成用絶縁膜114cおよび第1層配線M1上に、平坦化層114aを形成する。平坦

化層114aは、たとえばSOG膜とすることができ、なお、SOG膜は有機、無機何れであってもよく、また、SOG膜に代えて気相中におけるシラノールの生成と低温基板上でのシラノールの反応により形成されるシリコン酸化膜とすることもできることは前記したとおりである。このように、平坦化層114aを形成することにより、第1層配線M1の表面の凹部153を吸収して平坦化層114aの表面を平坦にすることができる。さらに、絶縁膜114bを堆積し、配線層間絶縁膜114の形成を完了する(図71)。絶縁膜114bは、たとえばCVD法により形成でき、シリコン酸化膜とすることができる。配線層間絶縁膜114の表面は、平坦化層114aの存在により平坦とすることができ、これにより、その後の工程、特にプラグ116の形成工程において、凹部153に起因する導電性の残留物を発生することがない。これにより、半導体集積回路装置の所定の性能を確保し、その信頼性と歩留まりを向上できる。

【0197】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0198】たとえば、主導電層が銅の場合を例示したが、タングステンあるいはアルミニウムの場合であってもよい。

【0199】また、配線層間絶縁膜にブロッキング層を設けた例について説明したが、これらブロッキング層は必須ではなく、設けなくてもよい。

【0200】さらに、実施の形態3、4、6において、配線層間絶縁膜121、126、131がブロッキング層121a、126a、131aと、平坦化層121b、126b、131bと、絶縁膜121c、126c、131cとの3層構成の場合を例示しているが、ブロッキング層121a、126a、131aと、平坦化層121b、126b、131bとの間に、図72に示すような絶縁膜121d、126d、131dが形成されてもよい。絶縁膜121d、126d、131dは、たとえばCVDにより形成されたシリコン酸化膜とすることができる。

【0201】また、ブロッキング層121a、126a、131aは必須ではない。この場合、第2～第4層配線M2～M4の形成後に、銅等の拡散をブロックする作用を有する薄膜、たとえば窒化チタン膜を堆積し、この後硬質パッド等を用いて、CMP法により研磨して配線形成用絶縁膜117、124、129上の前記窒化チタン膜を除去する方法等によって、ブロッキング作用を有する被膜を第2～第4層配線M2～M4の各々の上部に形成できる。

【0202】また、実施の形態3～6の第2層配線M

2、第3層配線M3、第4層配線M4を、実施の形態1、2の配線18のようにデュアルダマシン法で形成することができる。たとえば、図74は、実施の形態3の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。また、図75は、実施の形態4の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。また、図76は、実施の形態5の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。また、図77は、図72に示す半導体集積回路装置の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。

【0203】また、第1～第5層配線M1～M5までの配線に限らず、第6、第7等さらに上層の配線を形成することもできる。

【0204】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0205】(1)CMP法により絶縁膜に形成された配線溝または接続孔内に埋め込んで形成された導電性部材(たとえば配線、プラグ)上の絶縁膜の表面平坦性を向上できる。

【0206】(2)CMP法により絶縁膜に形成された配線溝または接続孔内に埋め込んで形成された導電性部材上の第2の導電性部材のショート不良を防止でき、半導体集積回路装置の歩留まりおよび信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【図2】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図3】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図4】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図5】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図6】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図7】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図8】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図9】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図10】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図11】実施の形態1の半導体集積回路装置の製造方

法の一例をその工程順に示した断面図である。

【図12】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図13】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図14】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図15】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図16】本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図17】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図18】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図19】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図20】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図21】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図22】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図23】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図24】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図25】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図26】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図27】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図28】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図29】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図30】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図31】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図32】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図33】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図34】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図35】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図36】実施の形態3の半導体集積回路装置の製造方

法の一例をその工程順に示した断面図である。

【図37】図36の一点鎖線で囲まれた部分の拡大図である。

【図38】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図39】図38の一点鎖線で囲まれた部分の拡大図である。

【図40】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図41】図40の一点鎖線で囲まれた部分の拡大図である。

【図42】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図43】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図44】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図45】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図46】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図47】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図48】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図49】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図50】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図51】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図52】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図53】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図54】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図55】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図56】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図57】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図58】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図59】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図60】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図61】実施の形態4の半導体集積回路装置の製造方

法の一例をその工程順に示した断面図である。

【図62】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図63】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図64】実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図65】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図66】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図67】実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図68】実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図69】実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図70】実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図71】実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図72】本発明のさらに他の実施の形態である半導体集積回路装置の他の例を示した断面図である。

【図73】本発明者らが検討した問題点を説明する図面であり、(a)は平面図、(b)は(a)におけるb-b断面図、(c)は(a)におけるc-c断面図である。

【図74】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図75】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図76】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図77】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【符号の説明】

- 1 半導体基板
- 2 SOI絶縁層
- 3 U溝素子分離領域
- 4 pウェル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 不純物半導体領域
- 9 サイドウォールスペーサ
- 10 キャップ絶縁膜
- 11a 層間絶縁膜
- 11b 層間絶縁膜
- 11c スクラッチ
- 12 接続孔
- 13 金属プラグ

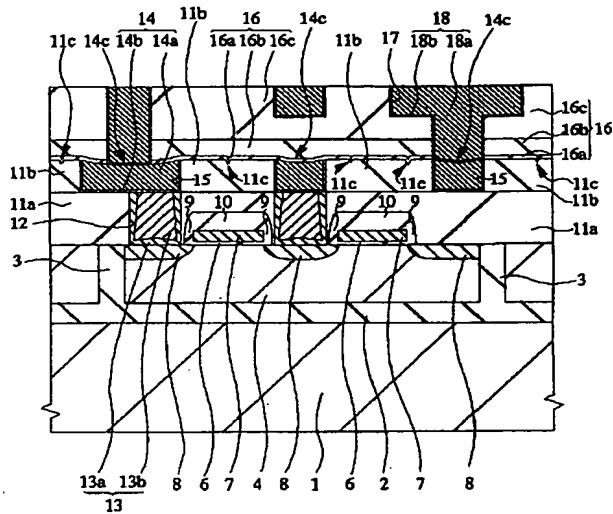
- 13a タングステン膜
- 13b 金属プラグ
- 13c タングステン膜
- 14 配線
- 14a 主導電層
- 14b 窒化チタン膜
- 14c ディッシング
- 15 配線溝
- 16 層間絶縁膜
- 16a ブロッキング層
- 16b 平坦化層
- 16c 絶縁膜
- 17 配線溝
- 18 配線
- 18a 主導電層
- 18b 窒化チタン膜
- 19 金属膜
- 20 金属膜
- 21 層間絶縁膜
- 21a ブロッキング層
- 21b シリコン酸化膜
- 22 シリコン酸化膜
- 23 凹部
- 101 半導体基板
- 102 素子分離領域
- 103 p型ウェル
- 104 n型ウェル
- 105 ゲート絶縁膜
- 106 ゲート電極
- 107 不純物半導体領域
- 108 不純物半導体領域
- 109 サイドウォールスペーサ
- 110 キャップ絶縁膜
- 111 層間絶縁膜
- 112 接続孔
- 113 プラグ
- 113a タングステン膜
- 113b タングステン膜
- 114 配線層間絶縁膜
- 114a 平坦化層
- 114b 絶縁膜
- 114c 配線形成用絶縁膜
- 115 接続孔
- 116 プラグ
- 116a タングステン膜
- 116b タングステン膜
- 117 配線形成用絶縁膜
- 117a 平坦化層
- 117b 絶縁膜
- 118 配線溝
- 119a バリア層
- 119b 主導電層
- 120 ディッシング(凹部)
- 121 配線層間絶縁膜
- 121a ブロッキング層
- 121b 平坦化層
- 121c 絶縁膜
- 121d 絶縁膜
- 122 接続孔
- 123 プラグ
- 124 配線形成用絶縁膜
- 124a 平坦化層
- 124b 絶縁膜
- 125 凹部
- 126 配線層間絶縁膜
- 126a ブロッキング層
- 126b 平坦化層
- 126c 絶縁膜
- 126d 絶縁膜
- 127 接続孔
- 128 プラグ
- 129 配線形成用絶縁膜
- 129a 平坦化層
- 129b 絶縁膜
- 130 凹部
- 131 配線層間絶縁膜
- 131a ブロッキング層
- 131b 平坦化層
- 131c 絶縁膜
- 131d シリコン酸化膜
- 132 接続孔
- 133 プラグ
- 134 絶縁膜
- 135 バンプ下地金属(BLM)
- 136 バンプ
- 140 凹部
- 141 凹部
- 142 窒化チタン膜
- 143 銅膜
- 145 スクラッチ
- 146 フォトリジスト膜
- 147 凹部
- 149 凹部
- 150 窒化チタン膜
- 151 銅膜
- 152 タングステン膜
- 153 凹部
- 201 絶縁膜
- 202 配線
- 203 絶縁膜

204 配線溝
205 凹部
206 絶縁膜
207 プラグ
208 導電物質
209 絶縁膜
210 配線

M1 第1層配線
M2 第2層配線
M3 第3層配線
M4 第4層配線
M5 第5層配線
Qn nチャネルMISFET
Qp pチャネルMISFET

【図1】

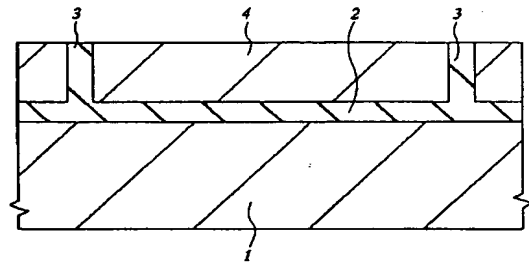
図 1



1: 半導体基板
11a, 11b: 層間絶縁膜
14: 配線
15: 配線溝
16: 層間絶縁膜
16a: ブロッキング層
16b: 平坦化層
16c: 絶縁膜
Qn: n形MISFET

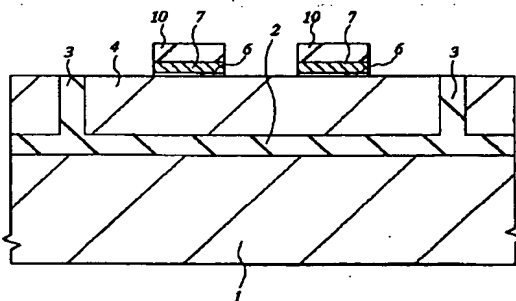
【図2】

図 2



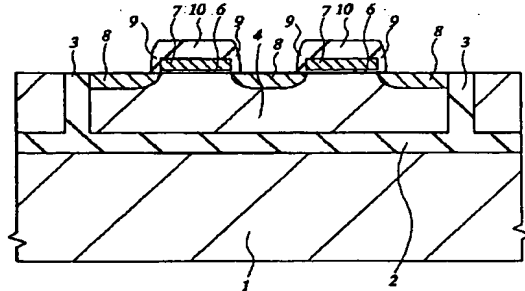
【図3】

図 3

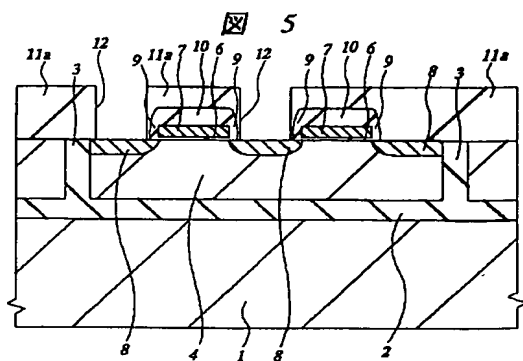


【図4】

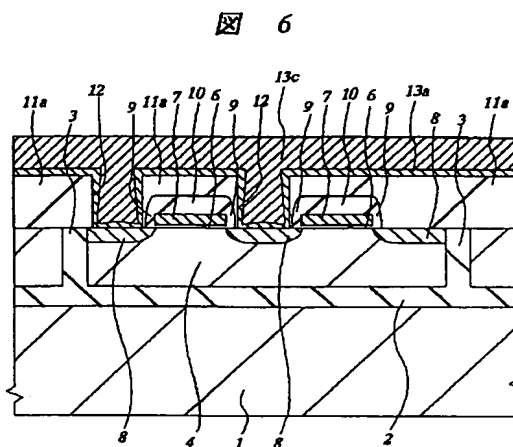
図 4



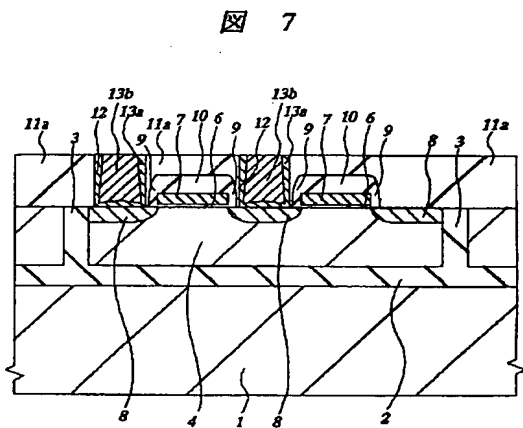
【図5】



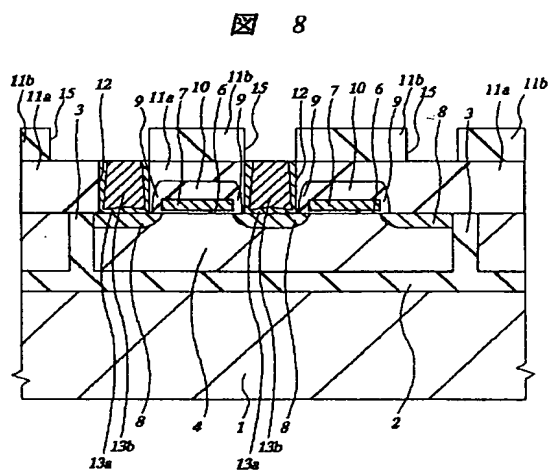
【図6】



【図7】

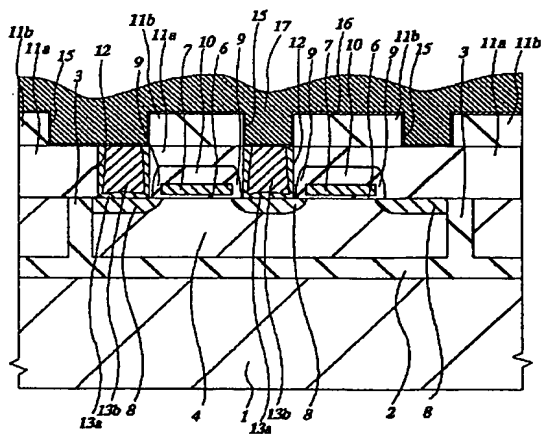


【図8】



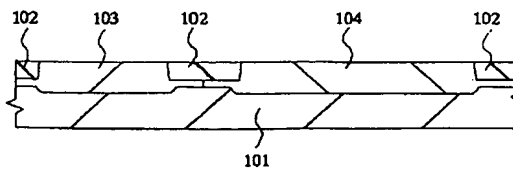
【図10】

図 10



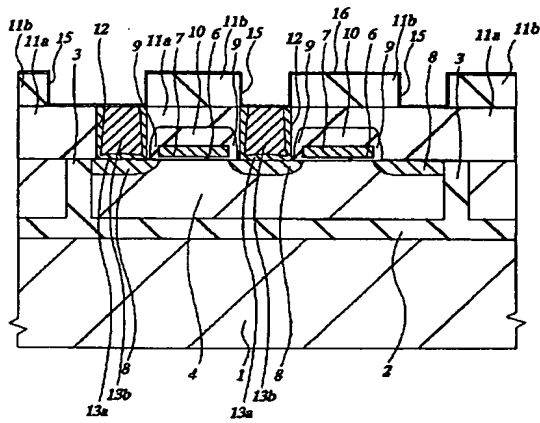
【図22】

図 22



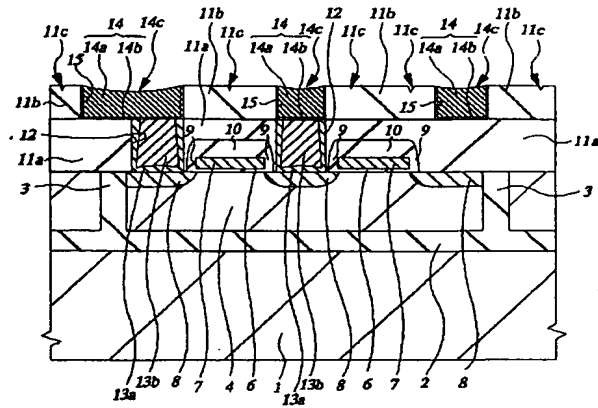
【図9】

図 9



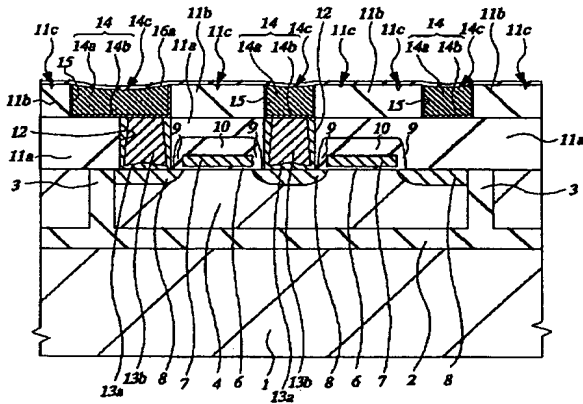
【図11】

図 11



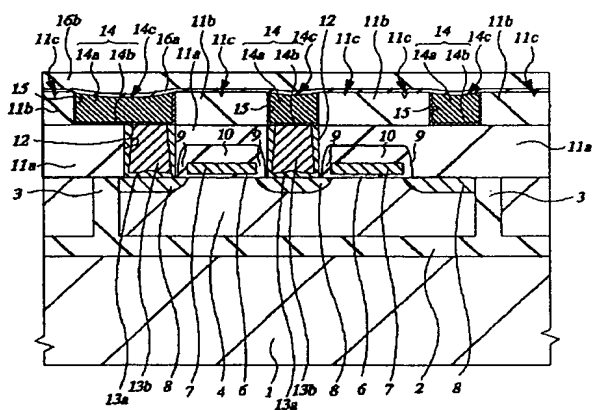
【図12】

図 12



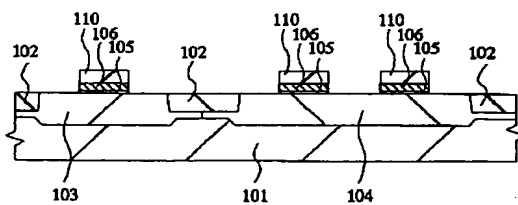
【図13】

図 13



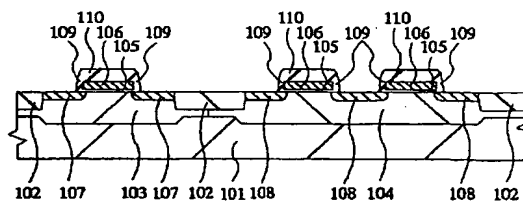
【図23】

図 23



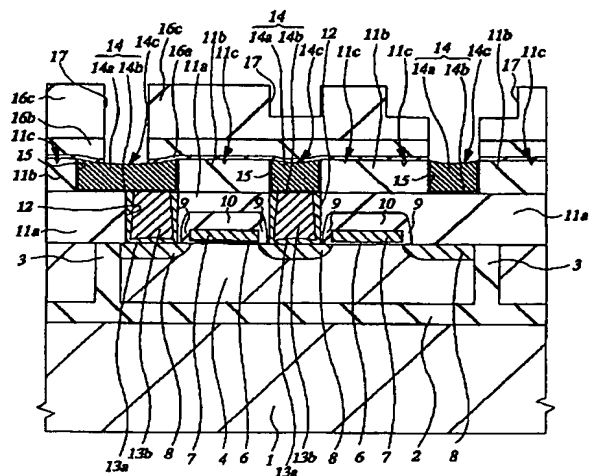
【図24】

図 24



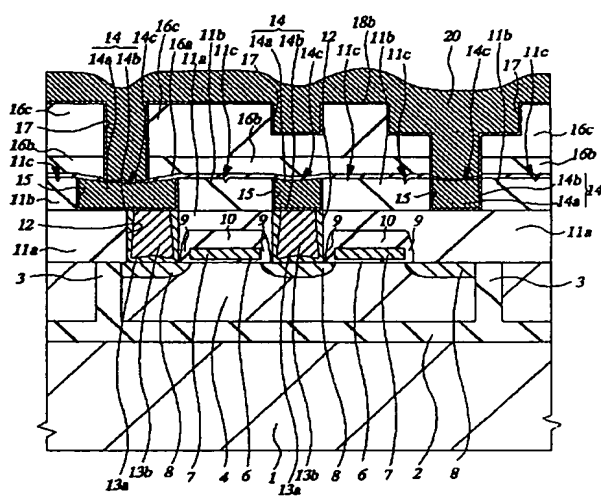
【図14】

図 14



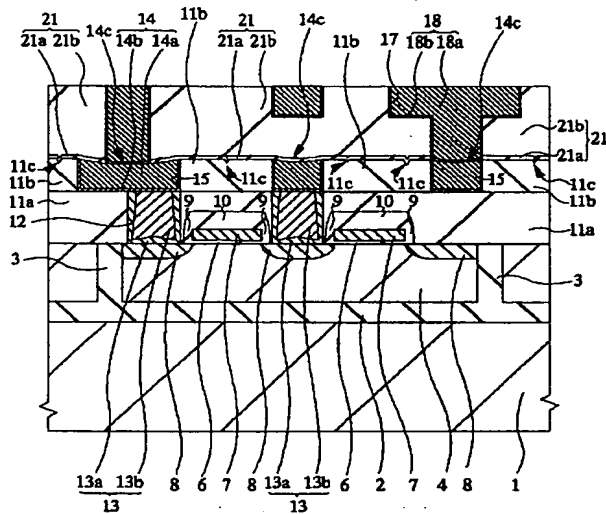
【図15】

図 15



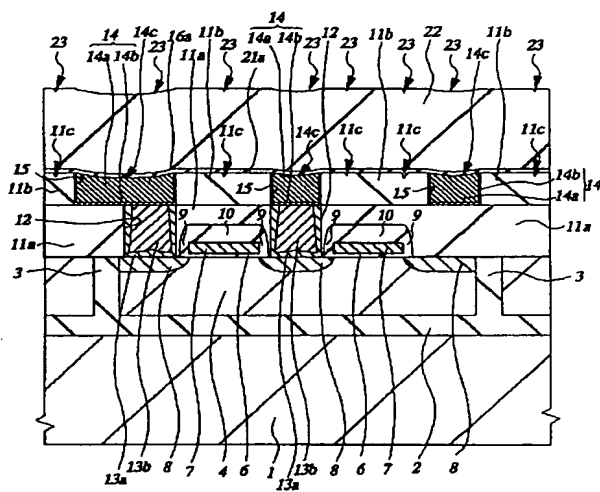
【図16】

図 16



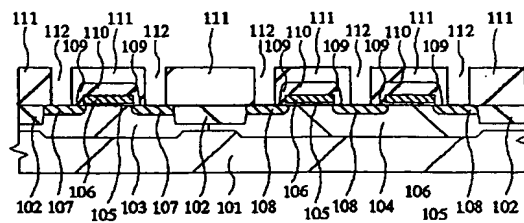
【図17】

図 17



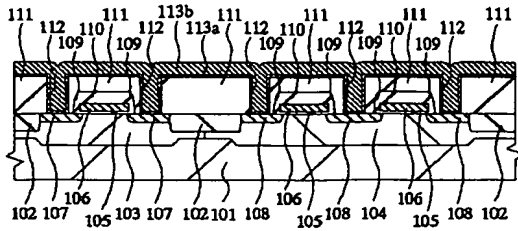
【図25】

図 25



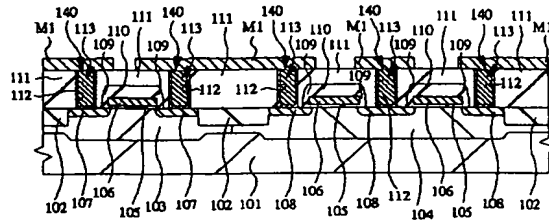
【図26】

図 26



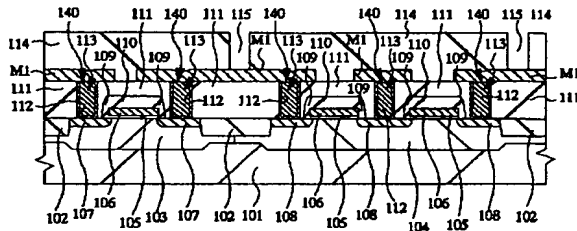
【図28】

図 28



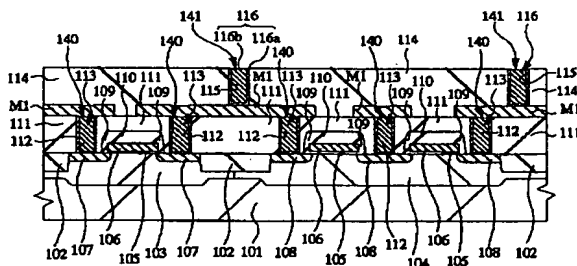
【図30】

図 30



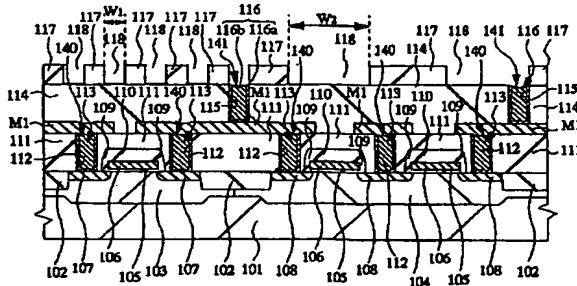
【図31】

図 31



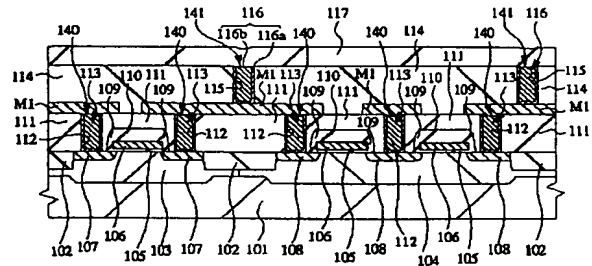
【図33】

図 33



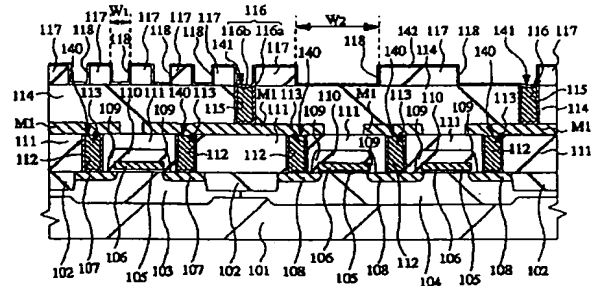
【図32】

図 32



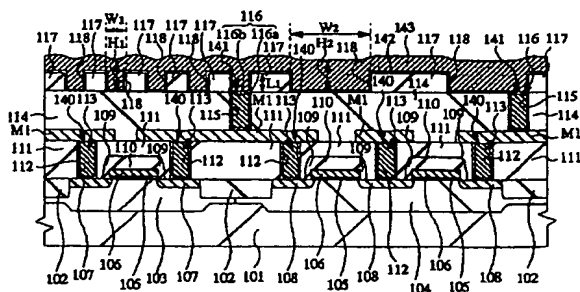
【図34】

図 34



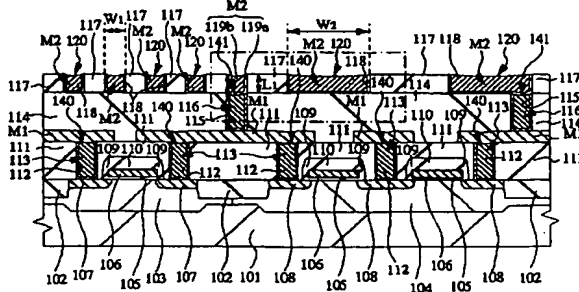
【図35】

図 35



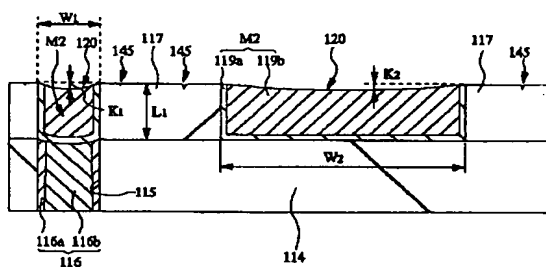
【図36】

図 36



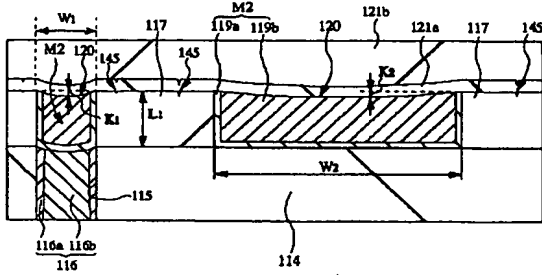
【図37】

図 37



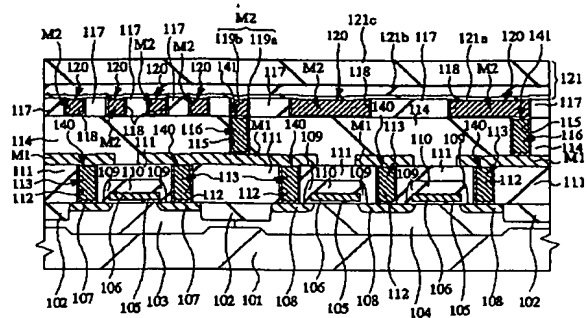
【図41】

図 41



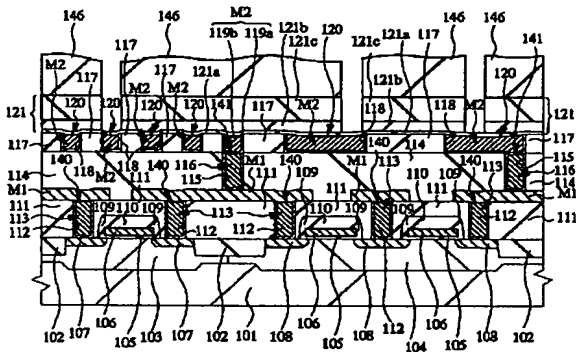
【図42】

図 42



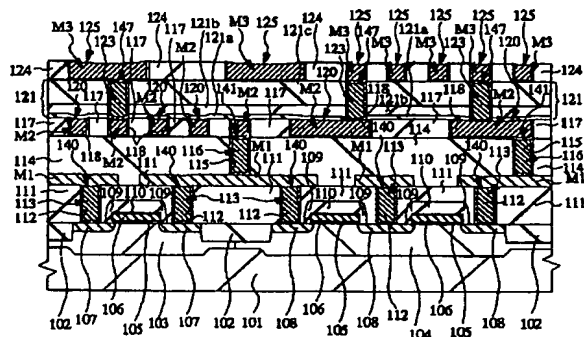
【図43】

図 43



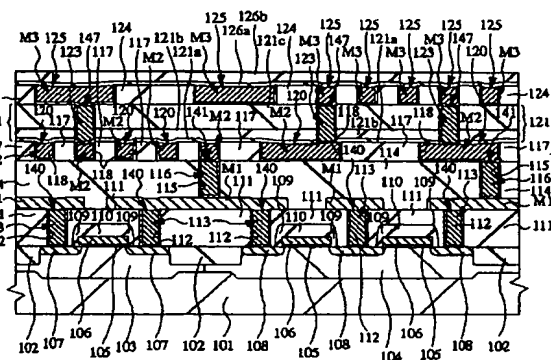
【图47】

47



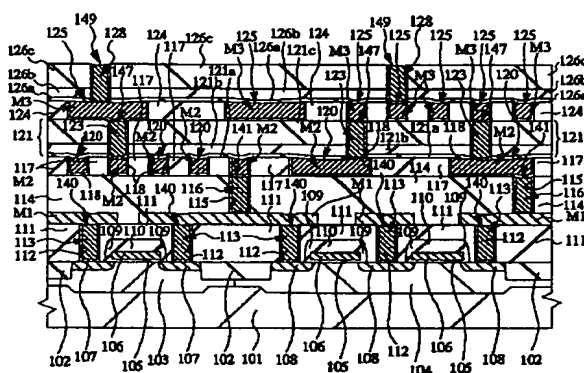
【图48】

48



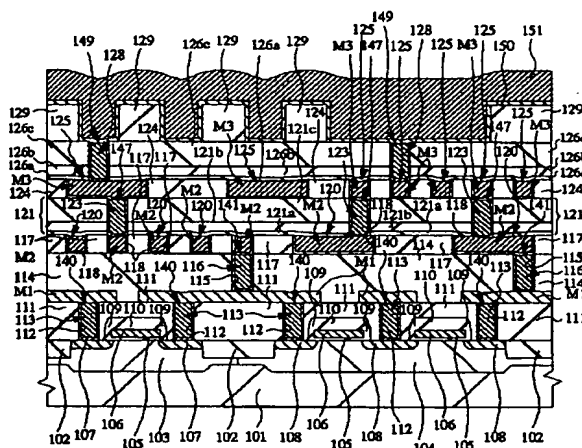
【图49】

49



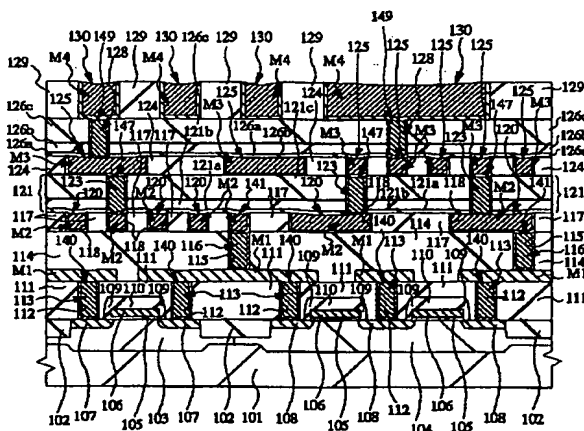
【図50】

50



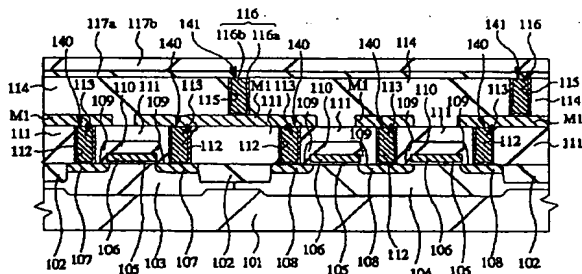
【☒51】

51



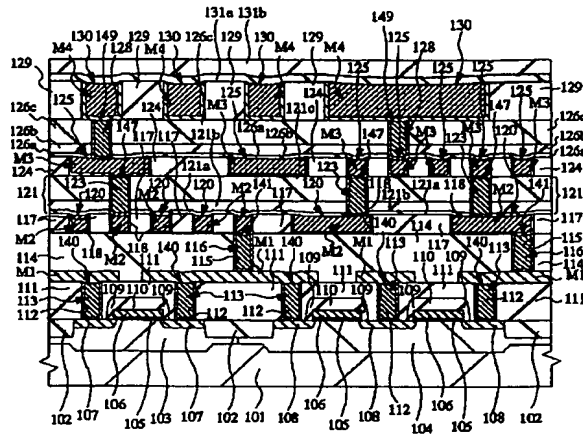
【図56】

☒ 56



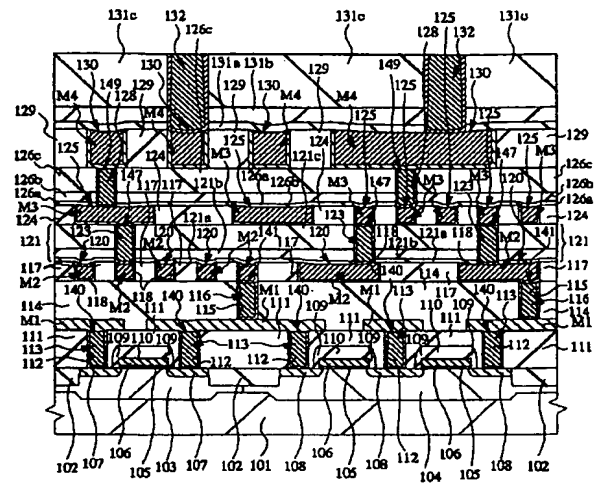
【図52】

図 52



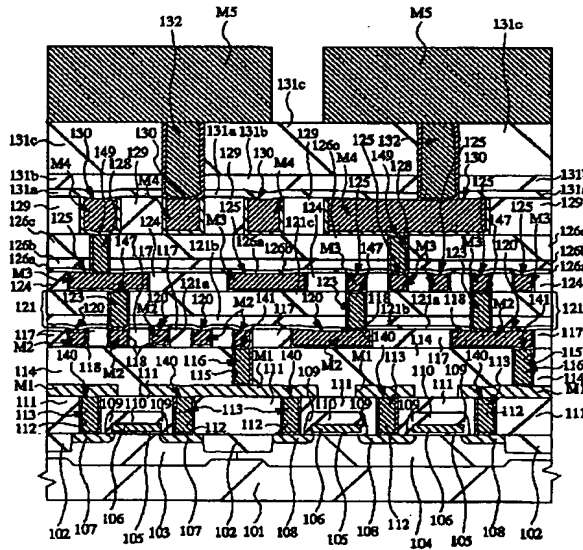
【図53】

図 53



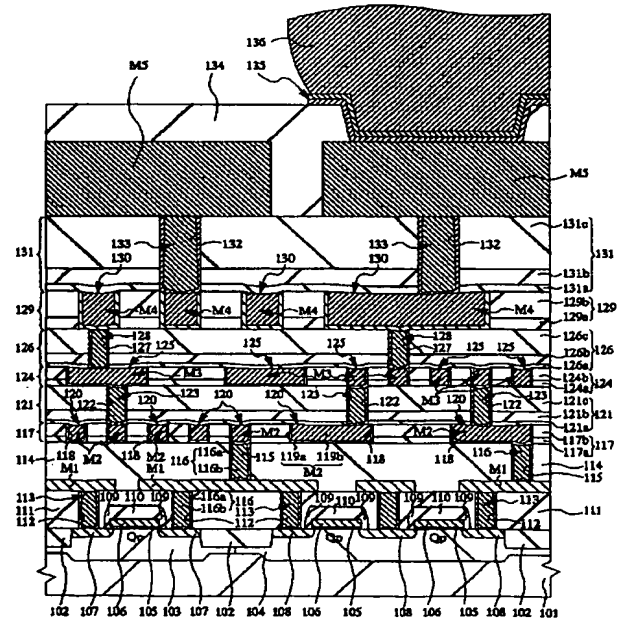
【図54】

図 54



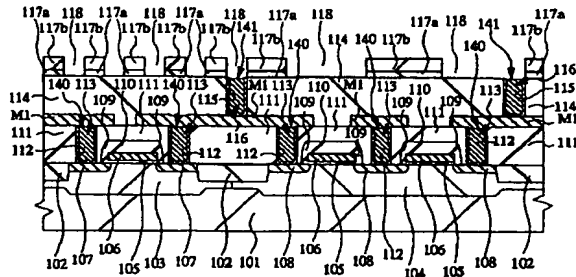
【図55】

図 55



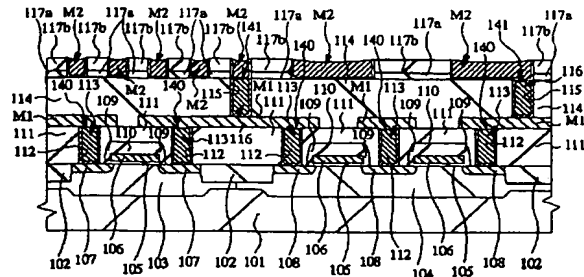
【図57】

図 57



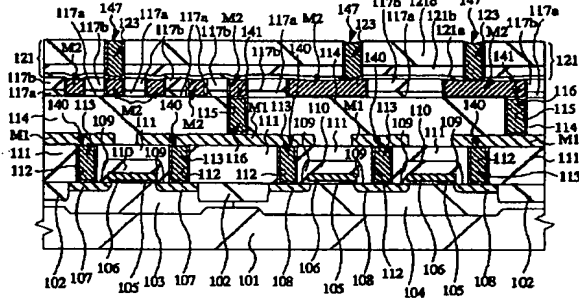
【図58】

図 58



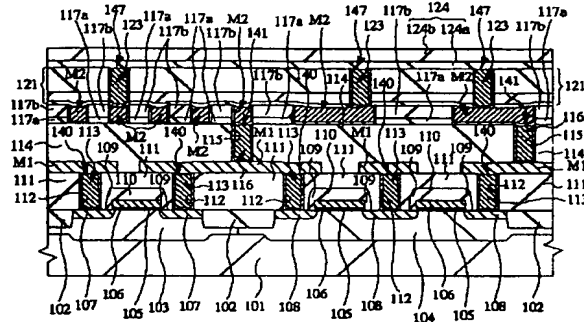
【図59】

図 59



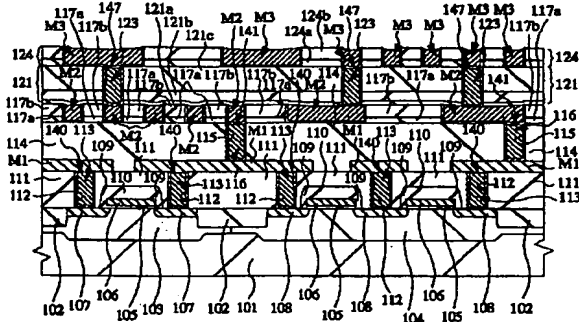
【図60】

図 60



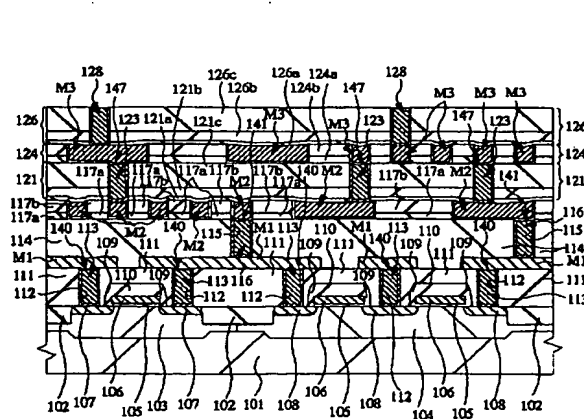
【図61】

図 61



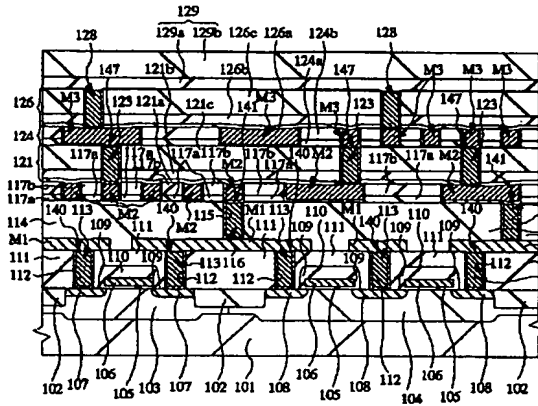
【図62】

図 62



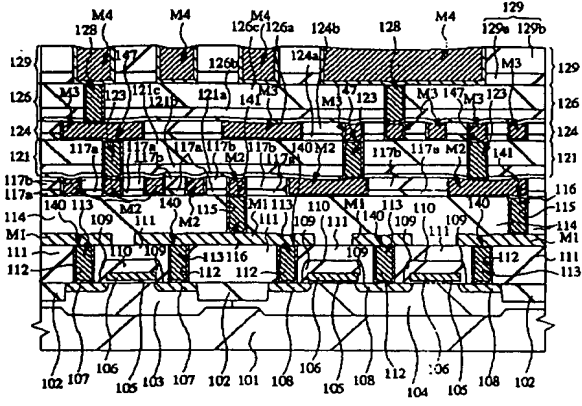
【図63】

図 63



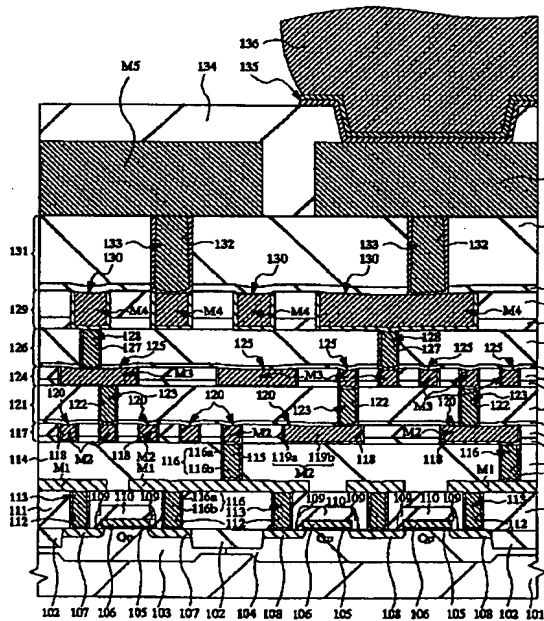
【図64】

図 64



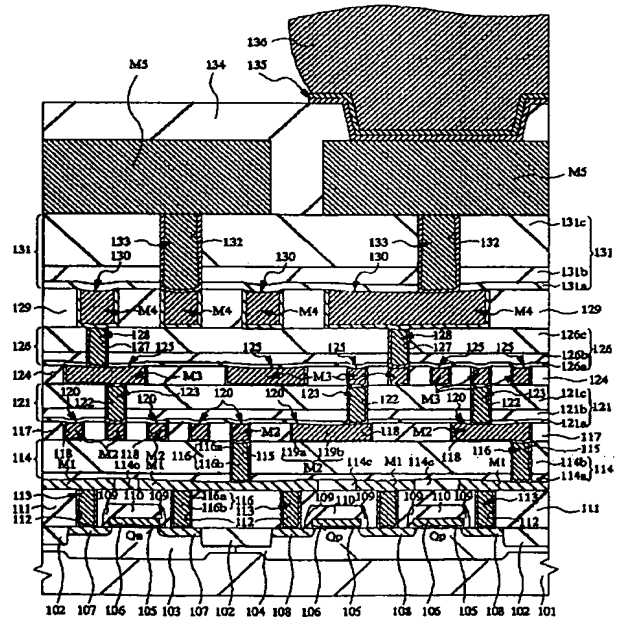
【図65】

図 65



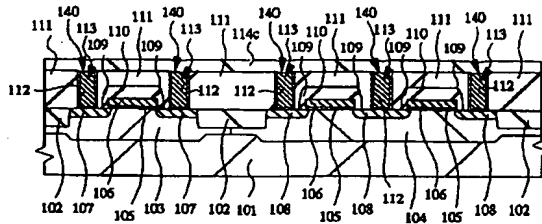
【図66】

図 66



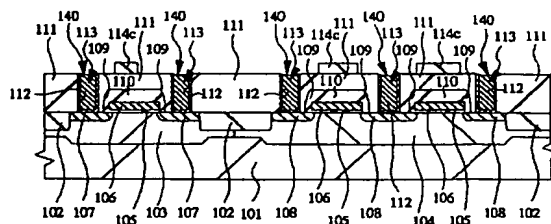
【图67】

67



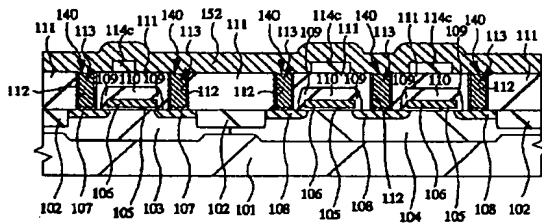
【例68】

68



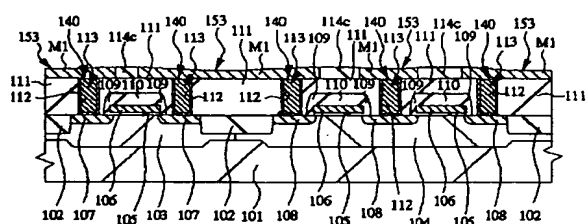
【图69】

69



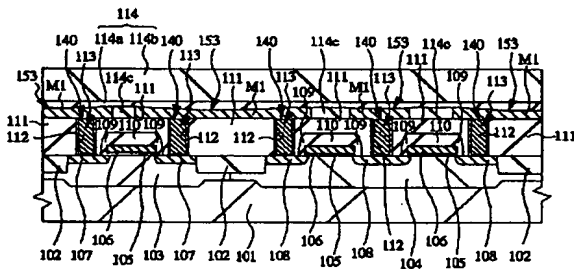
【☒70】

70



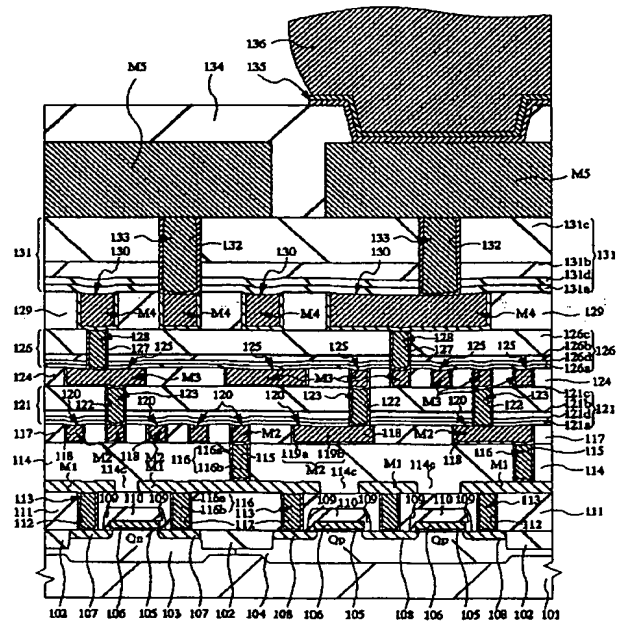
【図7 1】

71

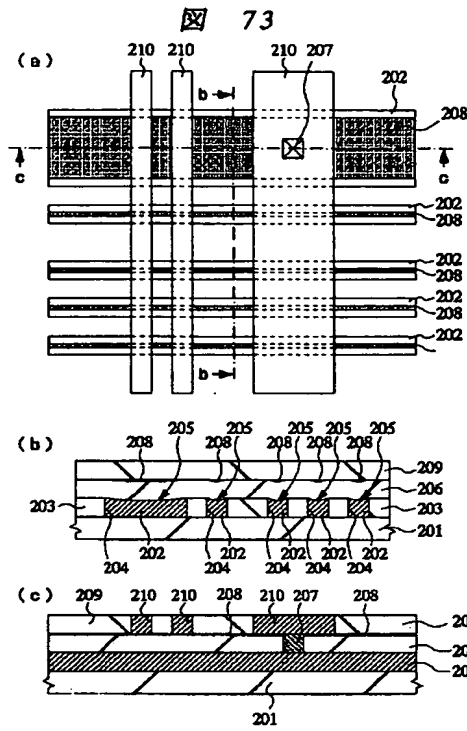


【图72】

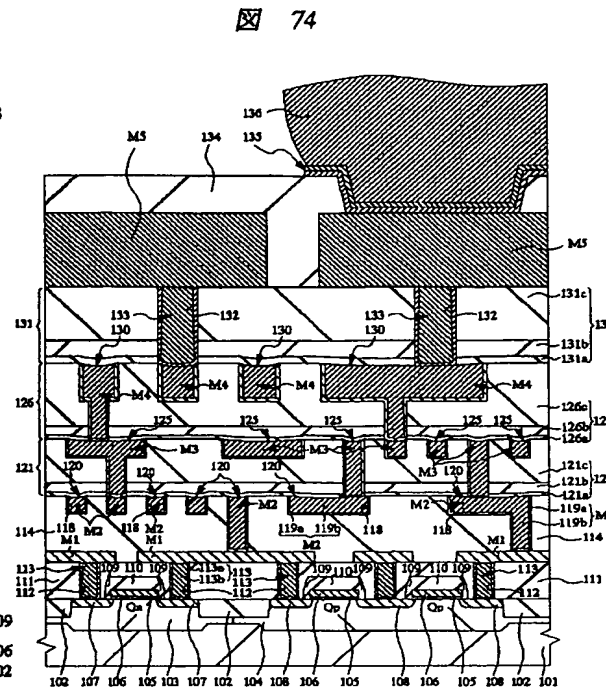
图 72



【図73】



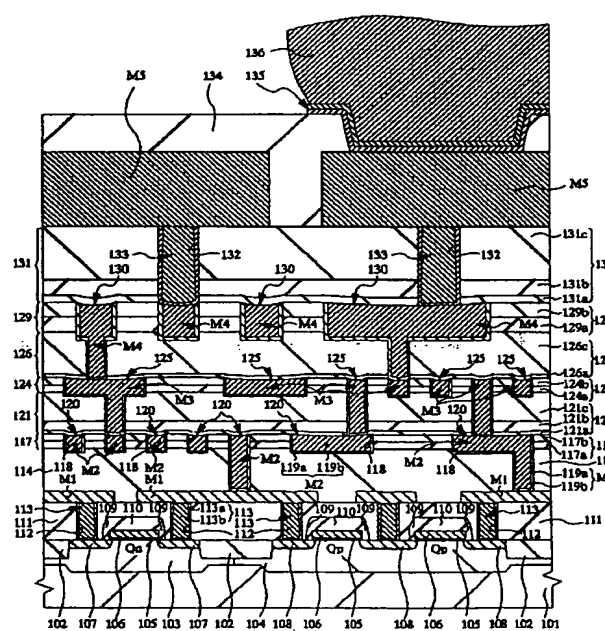
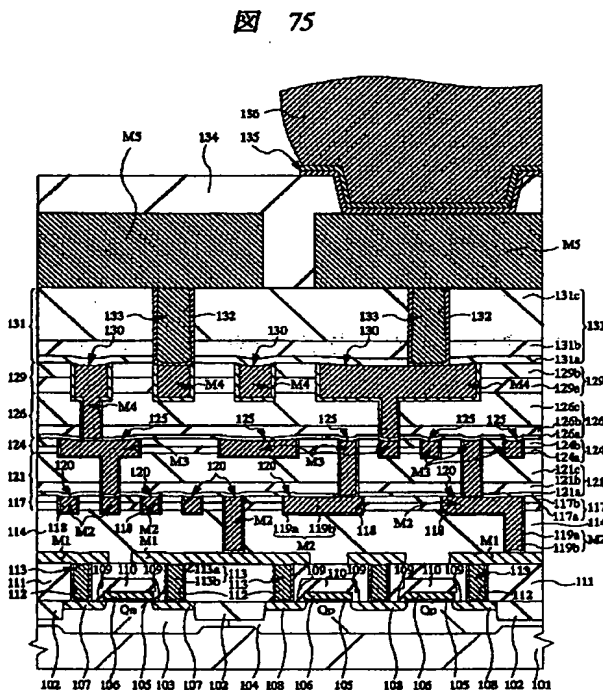
【図74】



【図76】

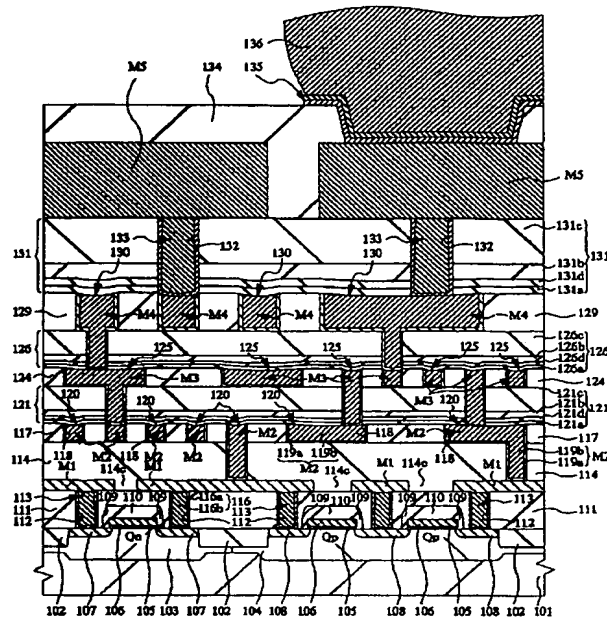
【図75】

図 76



【図77】

図 77



フロントページの続き

(72)発明者 大和田 伸郎
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内